

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-102172

(43)公開日 平成11年(1999) 4月13日

(51)Int.Cl.<sup>6</sup>

G 0 9 G 3/36

G 0 2 F 1/133

識別記号

5 5 0

F I

G 0 9 G 3/36

G 0 2 F 1/133

5 5 0

審査請求 未請求 請求項の数15 O L (全 23 頁)

(21)出願番号

特願平9-262184

(22)出願日

平成9年(1997) 9月26日

(71)出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72)発明者 鍋澤 弘之

大阪府大阪市阿倍野区長池町22番22号

シャープ株式会社内

(72)発明者 川口 登史

大阪府大阪市阿倍野区長池町22番22号

シャープ株式会社内

(72)発明者 瀬尾 光慶

大阪府大阪市阿倍野区長池町22番22号

シャープ株式会社内

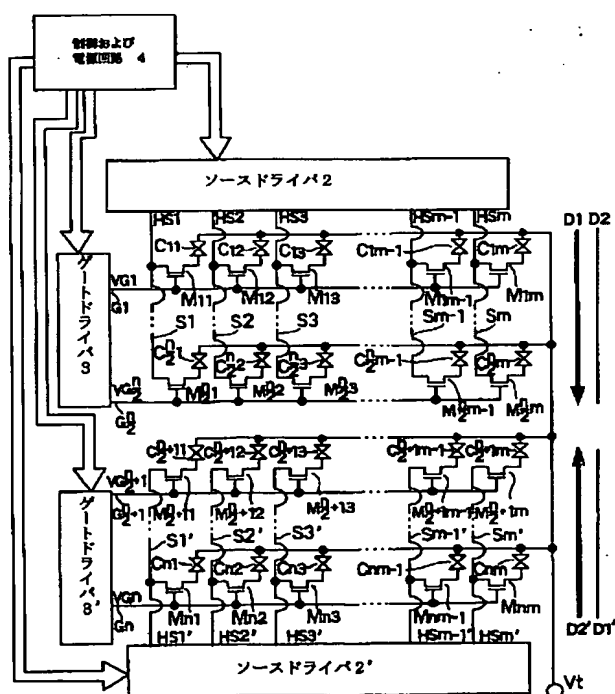
(74)代理人 弁理士 佐野 静夫

(54)【発明の名称】 ドットマトリクス表示装置

(57)【要約】

【課題】 表示画面を上下に分割して各画面を同時に走査するドットマトリクス表示装置において、画面の分割境界部における輝度差をなくし、表示画面の高品質化を図る。

【解決手段】 表示画面1を上下に分割して、上下両表面をゲートドライバ3、3'で同時に走査するドットマトリクス表示装置において、上下両画面の分割境界部に位置する隣接した両走査線G3、G0'を同一タイミングで走査するが、映像信号の垂直同期信号の位相をずらせて走査するように上下両画面の走査順序を制御し、上記両走査線G3、G0'の輝度差を解消して、上下両画面の分割境界部の表示品位を向上させる。



対角電極COM端子 4

**【特許請求の範囲】**

**【請求項1】** 垂直方向に延び、平行に配設された複数の第1の信号線と、水平方向に延び、平行に配設された複数の第2の信号線とを設け、これらの第1、第2の信号線の各交点にそれぞれ選択素子を介して画素電極を設け、該画素電極を選択駆動することにより表示を行うドットマトリクス表示装置において、上記第1の信号線を垂直方向に且つ上記第2の信号線と並行に複数等分に分割して、表示画面を上下方向に複数等分に分割した複数の表示領域を形成し、上記各表示領域毎の第2の信号線を同一時間帯に走査するとともに、隣接する上記表示領域の境界部分に位置する第2の信号線を実質的に同一タイミングで走査する上記各表示領域に対応した複数の走査回路を設け、表示信号を上記表示領域の分割数に応じて時間軸伸張し、分割した上記各表示領域に対応する時間軸伸張した表示信号を、分割した上記各表示領域の第1の信号線に供給する上記各表示領域に対応した複数の信号供給回路を設けたことを特徴とするドットマトリクス表示装置。

**【請求項2】** 上記走査回路は上記複数の表示領域のうち、隣接する表示領域の境界部分における各第2の信号線を、上記隣接する表示領域の各フレームの走査タイミングの始点として走査し、順次上記境界部分より離間する方向に各第2の信号線の走査を行うようにしたものであることを特徴とする請求項1に記載のドットマトリクス表示装置。

**【請求項3】** 上記走査回路は、上記複数の表示領域のうち、隣接する表示領域の境界部分における第2の信号線の走査を、上記隣接する表示領域の各フレームの走査のタイミングの終点として走査し、順次上記境界部分より離間した位置より境界部分の方向に各第2の信号線の走査を行うようにしたものであることを特徴とする請求項1に記載のドットマトリクス表示装置。

**【請求項4】** 垂直方向に延び、平行に配設された複数の第1の信号線と、水平方向に延び、平行に配設された複数の第2の信号線とを設け、これらの第1、第2の信号線の各交点にそれぞれ選択素子を介して画素電極を設け、該画素電極を選択駆動することにより表示を行うドットマトリクス表示装置において、上記第1の信号線を垂直方向に且つ上記第2の信号線と並行に複数等分に分割して、表示画面を上下方向に複数等分に分割した複数の表示領域を形成し、上記各表示領域毎の第2の信号線を、隣接する表示領域の境界部分より互いに離間する方向あるいはその逆方向に走査する上記複数の表示領域に対応して設けた複数の走査回路と、上記複数の走査回路に位相の異なる垂直同期信号を出力する垂直同期信号発生回路と、表示信号を上記表示領域の分割数に応じて時間軸伸張し、分割した上記各表示領域に対応する時間軸伸張した表示信号を分割した上記各表示領域の第1の信号線に同時に供給する上記各表示領域に対応した複

数の信号供給回路と、上記画素電極に対応する個々の絵素に与える信号を1垂直周期あるいは複数の垂直周期毎に異なる極性で書き込むフレーム反転回路を設けたことを特徴とするドットマトリクス表示装置。

**【請求項5】** 上記垂直同期信号発生回路で生成する位相の異なる複数の垂直同期信号間の時間差は、水平周期の整数倍であることを特徴とする請求項4に記載のドットマトリクス表示装置。

**【請求項6】** 上記垂直同期信号発生回路で生成する位相の異なる複数の垂直同期信号間の時間差は、水平周期の奇数倍であることを特徴とする請求項4に記載のドットマトリクス表示装置。

**【請求項7】** 上記垂直同期信号発生回路で生成する位相の異なる複数の垂直同期信号間の位相差は、隣接する表示領域に対応した垂直同期信号の垂直帰線期間が重複するように設定されることを特徴とする請求項4乃至6のいずれかに記載のドットマトリクス表示装置。

**【請求項8】** 上記隣接する表示領域の境界部分の両表示領域に位置する第2の信号線は、同時に走査されないようにしたことを特徴とする請求項4乃至7のいずれかに記載のドットマトリクス表示装置。

**【請求項9】** 上記隣接する表示領域の境界部分の両表示領域に位置する第2の信号線に接続された絵素が同極性で書き込まれている時間は、逆極性で書き込まれている時間より短いことを特徴とする請求項4乃至8のいずれかに記載のドットマトリクス表示装置。

**【請求項10】** 上記選択素子は上記画素電極で構成される各絵素と、対応する第1の信号線との間に設けた能動素子であることを特徴とする請求項1乃至9のいずれかに記載のドットマトリクス表示装置。

**【請求項11】** 上記能動素子は非晶質のシリコン薄膜トランジスタであることを特徴とする請求項10に記載のドットマトリクス表示装置。

**【請求項12】** 上記画素電極で構成される各絵素の一端は1枚の導電板より成る共通電極に接続されていることを特徴とする請求項1乃至11のいずれかに記載のドットマトリクス表示装置。

**【請求項13】** 上記共通電極には、垂直同期信号かつ/または水平同期信号に同期した矩形波状の電圧が印加されていることを特徴とする請求項12に記載のドットマトリクス表示装置。

**【請求項14】** 上記第1の信号線に信号電圧を供給する複数の信号供給回路は、上記画素電極で構成される各絵素を正負両極に書き込むために必要な電圧の振幅の高々1/2のダイナミックレンジを持つ回路であることを特徴とする請求項13に記載のドットマトリクス表示装置。

**【請求項15】** 上記画素電極で構成される絵素は液晶セルであることを特徴とする請求項1乃至14のいずれかに記載のドットマトリクス表示装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、容量性負荷の絵素を持ち、線順次走査で表示を行うドットマトリクス表示装置に係り、特に高精細で大画面の表示に適したドットマトリクス表示装置に関するものである。

## 【0002】

【従来の技術】現在ノートPC(Personal Computer)や携帯型TVのモニタには、薄型軽量で低消費電力の液晶表示装置LCD(Liquid Crystal Display)が採用されることが多い。

【0003】LCDには、TFT(Thin Film Transistor)方式やSTN(Super Twisted Nematic)方式などがある。現在量産されているLCDは、この2つが主流である。前者は、後者に比べ、製造コストが高くつくけれども、コントラストが高い、表示ムラが少ない、多階調表示に有利、応答速度が速いという特長がある。

【0004】まず、LCDの構造について駆動回路を中心に説明する。LCDは、複数の液晶セルから構成されている。例えば、VGA(Video Graphic Array)のカラーLCDは、約90万個の液晶セルを有している。具体的には、カラーフィルタで赤、緑、青の3原色に着色された3つの液晶セルが1つの絵素を構成し、その液晶セルが横640桁×縦480行のマトリクス状に配置されている。このため、液晶セルの総数は、 $640 \times RGB \times 480 = 921,600$ 個になる。そして、この液晶セルの集合で、1つの画像が表示される。

【0005】図8に6桁×4行のTFT LCDの構造を示す。図8の(1)は液晶パネル、(2)はソースドライバ、(3)はゲートドライバ、(4)は制御および電源回路、(5)はTFT、(6)は液晶セル、(7)はコモン電極である。なお、ソースドライバ(2)は、データドライバ、カラムドライバ、Xドライバ、列電極駆動回路とも呼ばれる。ゲートドライバ(3)は、スキャンドライバ、ロウドライバ、Yドライバ、行電極駆動回路とも呼ばれる。

【0006】液晶パネル(1)には、1枚のガラス基板上に液晶セル(6)がマトリクス状に形成されている。LCDの駆動回路から見ると、液晶セルは、容量性負荷と考えることができる。各液晶セルは、その容量に印加された電圧に応じて、光学的な性質を変える。ノーマリホワイト方式のLCDでは、液晶セルは、その容量を充電すると黒くなり、放電すると白くなる。

【0007】TFT(5)のソース電極は、ソースバスラインを介してソースドライバ(2)の出力端子に、ゲート電極は、ゲートバスラインを介してゲートドライバ(3)の出力端子に、ドレイン電極は、液晶セル(6)に接続されている。液晶セルのドレイン電極と反対側の端子は、コモン電極(7)に接続されている。すべての液晶セルのコモン電極は、互いに短絡していて、常に等しい電位に

保たれている。このため、各液晶セルに印加されている電圧は、TFTのドレイン電極の電位で決まる。

【0008】ソースドライバ(2)は、TFTを介して液晶セルを充放電させるための電圧を出力する駆動回路であり、ゲートドライバ(3)は、TFTのスイッチングを制御する電圧を出力する駆動回路である。制御および電源回路(4)は、この2種類のドライバにタイミング信号と駆動電源電圧などを供給するものである。

【0009】TFTは、一種のスイッチング素子である。その動作は、n-FET(Field Effect Transistor)に似ている。現在、大型LCDには、専らa-Si(Amorphous Silicon)TFTが使われている。ただし、a-SiTFTは、On抵抗が非常に高く(数MΩ程度)、性能的にn-FETに遠く及ばない。ソースドライバの出力端子と液晶セルの間にTFTが介在し、TFTのOn抵抗と液晶セルの容量が、RC時定数を持っている。液晶セルの容量は、数pF程度なので、1個の液晶セルを充電するには、数10[μsec]程度の時間を要する。

【0010】このため、a-SiTFT LCDでは、1水平表示期間内に、横1行(ときには複数行)の液晶セルを同時に充電することで、充電時間を確保している。CRT(Cathode Ray Tube)やpoly-SiTFT LCDでは、映像信号は、1ドットずつリフレッシュされるのに対して、a-SiTFT LCDでは、1ライン分の映像信号が一斉にリフレッシュされる。前者を点順次走査、後者を線順次走査という。

【0011】VGAのLCDでは、横1行、 $640 \times RGB = 1920$ 個の液晶セルが同時に充電される。しかし、1920個の出力端子を備えたICの製造や実装は、非現実的である。現在では、1台のLCDに、出力端子の少ないソースドライバのICを複数個実装することで、これを実現している。それでも、ソースドライバは、LCDの駆動回路に使われる部材の中で、最も高価なものである。そしてまた、表示品位に最も影響を与える部材である。

【0012】図9にソースドライバのブロック図を示す。ここでは、ソースドライバに映像信号がデジタルで入力されるものとする。図9(11)はシリアル-パラレル変換器あるいはシフトレジスタ、(12)はラッチあるいはフリップフロップ、(13)はデジタル-アナログ変換器(DAC)、(14)は出力バッファあるいはオペアンプである。

【0013】ソースドライバICの入力端子のピン数を減らすため、映像信号は、シリアルに入力される。これをシリアル-パラレル変換してラッチした後、DACからアナログ信号を出力する。液晶セルの充電時間を短縮するため、DACと出力端子との間に、出力バッファを設け、インピーダンス変換をすることが多い。シリアル-パラレル変換器には、映像信号を、ラッチには、タイミング信号を、DACには、いわゆるγ補整用の基準電

圧を、出力バッファには、その駆動電源電圧+Vおよび-Vを供給する必要がある。

【0014】なお、デジタルラッチの代わりにアナログのサンプル&ホールド素子が採用されることもある。その場合、DACは不要である。ただ、アナログ素子を使うと、高速動作と高精度と低コストを両立させるのが困難になる。

【0015】VGAの場合、LCD1台につき1920個の出力バッファが必要になる。このため、DACや出力バッファの設計に、トランジスタ1個の無駄があると、LCD全体では、1920個もの無駄につながる。一方、LCDの映像信号入力端子(図示せず)とシリアル-パラレル変換器の間に、数ゲート程度の無駄や冗長があったとしても、それに起因するコストや消費電力のアップは、ほとんど問題にならない。従って、DACや出力バッファの設計は、非常に重要である。トランジスタ数の削減や、出力バッファのアイドル電流の低減などは、大きな課題である。

【0016】幸い、a-Si TFT LCDのソースドライバの出力バッファは、オーディオ帯域で動作すればよいので、それほど高性能なものはいらない。スルーレートはそれほど高くないけれども、駆動電源電圧の割に大きなダイナミックレンジがとれ(いわゆるRail-To-Rail出力が可能で)、特に調整しなくても出力偏差の少ないものが使われる。

【0017】ゲートドライバ(3)は、複数のゲートラインの中から、次に充電する行を選択する機能を有している。ゲートラインに、ソース電極やドレイン電極より高い電圧を印加すると、その行に接続されたすべてのTFTがOnし、低い電圧を印加するとTFTはOffする。1垂直表示期間内に、すべての行を選択し終わると、1枚の画像が完成する。

【0018】なお、STN方式のLCDは、TFTのような能動素子やコモン電極を持っていない。液晶セルの一方がソースラインに、他方がゲートラインにダイレクトに接続されている(図なし)。

【0019】次に、LCDの表示品位に影響を及ぼす原因とその対策について述べる。図10はTFT(5)の周辺に浮遊する容量を示す。図10において(5)はTFT、(6)は液晶セル、(7)はコモン電極である。(25)は、ゲートラインとドレイン電極間の浮遊容量CGD、(26)はソースラインとドレイン電極間の浮遊容量CSD、(27)は、隣のソースラインとドレイン電極間の浮遊容量CSD'、(28)は、ソースラインとコモン電極間の浮遊容量CSCである。

【0020】液晶セルに充電された電荷は、絶縁抵抗を介して徐々に放電する。このため、たとえ静止画像を表示する場合であっても、1垂直周期毎に液晶セルを再充電する必要がある。

【0021】前述したように、液晶セルは、容量性負荷

である。このキャパシタには極性はなく、正に充電しても負に充電しても、その光学的な応答は同じである。むしろ、液晶セルが長時間同じ極性に帯電していると、表示品位が劣化するので好ましくない。ノーマリホワイトのLCDでは、液晶セルに電圧を印加すると黒くなるが、この方式のLCDに黒っぽい画像を長時間表示し続けると、残像(焼き付き)が発生することがある。これは、液晶材料に微量に含まれるイオンが電極に移動して、応答を悪くするためである。

【0022】その対策としては、1垂直周期毎に液晶セルを充電する極性を反転してやればよい。本明細書では、これをフレーム反転と呼ぶ。フレーム反転の結果、各液晶セルには、垂直周期60~70[Hz]の半分の30~35[Hz]の矩形波の交流電圧が印加されることになる。

【0023】ところが、フレーム反転を採用すると、その副作用のために、別の種類の表示品位の低下を招く。いま、図8のLCD全面に、黒一色を表示したとする。ここでは、図の上から下へ、つまり、ゲートラインG0、G1、G2、G3の順に走査するものとする。コモン電極の電位を0[V]と考えたときの、ソースラインS0の電位と、ドレイン電極D00およびD30の電位を図11(a)に示す。なお、この例のソースドライバは、垂直帰線期間中には有効な信号を出力していない。

【0024】液晶セルに充電された電荷は、TFTのOff抵抗や絶縁抵抗(図示せず)を介して徐々にソースラインに放電する。その量は、ソースラインとドレイン電極間の電位差の大きな状態が長時間続けば続くほど多い。また、電荷は、ソースラインの電位が反転するとき、浮遊容量CSDを介してソースラインに逃げる。液晶セルD00は、ソースラインの反転後、即ち電荷が逃げた後、直ちに再充電されるため、その影響を受けにくい。しかし、液晶セルD30は、電荷が逃げた後、しばらく放置されるため、影響を受けやすい。

【0025】ドレイン電極から電荷が逃げる量は、フィールド反転によってソースドライバの出力信号の極性が変わってから、液晶セルの充電が実際に始まるまでの時間で決まる。ソースドライバから液晶セルまでの距離で決まるわけではない。

【0026】この例では、ゲートラインG3の駆動する液晶セルは、ゲートラインG0の駆動する液晶セルより、電荷が逃げやすい。電荷が逃げると、純粋な黒を表現することができず、灰色っぽい表示になる。このため、均一な黒ベタを表示したつもりでも、実際には、画面の下の方ほど灰色がかかるという現象が発生する。本明細書では、これをコントラストの傾斜と呼ぶ。

【0027】コントラストの傾斜を回避するには、1水平周期毎に、液晶セルを充電する極性を反転させてやればよい。そうすれば、ソースラインの電位が頻繁に反転するので画面全体が均一に灰色っぽくなる。少々灰色が

かるという問題は、ソースドライバの出力電圧の振幅を少し上げるだけで解消できる。本明細書では、これをライン反転と呼ぶ。通常、ライン反転は、フレーム反転と併用される。

【0028】ライン反転を採用すると、1水平周期毎にソースラインとコモン電極間の浮遊容量CSCの充放電が繰り返されるため、ソースドライバの消費電流が増える。また、クロストークまたはシャドーイングと呼ばれる表示ムラが発生しやすくなる。

【0029】ライン反転をしたときの、ソースラインS0の電位と、ドレイン電極D00およびD30の電位を図11(b)に示す。ライン反転では、1垂直周期の間にソースラインに印加される電圧の平均値(直流成分)が0になるので、コントラストの傾斜は解消される。しかし、1垂直周期に限って言えば、電圧のp-p(Peak-To-Peak)値が図11(a)より大きくなる。振幅の大きな高周波信号をソースラインに乗せると、CSDを介してドレイン電極の電位が振られ、走査していないはずの液晶セルの印加電圧が乱される。

【0030】ライン反転をすると、1水平周期の2倍の周期の交流信号がソースラインに乗る。ライン反転をしない場合でも、ベタ画面でなければ、同じ周期の交流信号がソースラインに乗るが、信号の振幅が小さいので問題になりにくい。1水平周期毎にソースドライバの出力電圧の極性を反転させると、大きな振幅の交流信号がソースラインに乗ってしまう。

【0031】いま、図8のLCDに、図12のような画像、すなわち、白ベタの中に黒い四角形を表示したいとする。しかし、ソースラインに乗った信号は、ゲートドライバが選択していない液晶セルへも、わずかながらCSDを介して書き込まれる。ソースラインとドレイン電極間が交流的に短絡しているからである。例えば、ゲートラインG1が選択され、液晶セルD12を充電しているとき、D00やD22やD32も少し充電される。その結果、黒い四角形の上下が灰色っぽくなり、図13のように尾を引いたような表示になってしまう。

【0032】これを改善するには、液晶セルの容量を浮遊容量CSDより十分大きくすればよい。しかし、液晶パネル上に大きな容量を作るのは困難である。また、液晶セルの充電に要する時間は、その容量に比例する。液晶セルの充電が不十分になると、やはり表示品位が劣化する。TFTのOn抵抗を下げて充電時間を短縮する方法もあるが、それは、ゲートドライバのコストアップや信頼性の低下を招く。

【0033】ここでは、別の対策を説明する。図10のように、ドレイン電極と隣のソースラインの間には、浮遊容量CSD'(6)が存在する。そこで $CSD = CSD'$ となるように液晶パネルを設計しておき、隣り合うソースラインに逆位相の交流信号を乗せてLCDを駆動するのである。

【0034】今、画面全体に黒ベタを表示したとする。このとき、隣り合うソースラインに、極性違いの映像信号を乗せる。コモン電極の電位を0とすると、隣接するソースラインの電位は、符号が異なるけれども、絶対値は同じになる。よって、もし $CSD = CSD'$ ならば、ソースラインの電位の変動が相殺され、ドレイン電極の電位に影響が現れない。

【0035】本明細書では、隣り合うソースラインを異なる極性で駆動することをドット反転と呼ぶ。ドット反転には、ソースラインに乗っている信号が、浮遊容量CSCを介してコモン電極の電位に影響を及ぼすのを防止する効果もある。ただし、ドット反転は、後で述べるコモン反転駆動方式のLCDでは、使うことができない。

【0036】フレーム反転とライン反転とドット反転を併用すると、図8の $6 \times 4 = 24$ ドットのLCDの各液晶セルは、図14のような極性で充電される。フレーム反転は、原理的には、静止画を表示した場合にのみ有効である。しかし、動きの遅い動画に対しても、ある程度の効果が期待できる。シーンチェンジの多い映像でも、ほとんど問題は起こらない。ただし、点滅するものを表示すると、効果が半減することがある。

【0037】ライン反転は、ベタ画面を表示した場合に有効である。しかし、直流成分の多い画像に対しても、ある程度の効果が期待できる。実際、映像信号は、普通は、直流成分が多く含まれているものである。だから、ライン反転がその効果を発揮する確率は高い。

【0038】ドット反転は、白、灰、黒のベタ画面に対して有効である。赤、緑、青、シアン、マゼンタ、黄色のベタ画面では、やや効果が落ちる。カラーLCDは、赤、緑、青に着色された3つの液晶セルを、3本のソースラインで同時に充電する方式が主流である。このため、例えば、全面赤一色の表示は、見た目にはベタ画面でも、ソースドライバにとっては、決してベタではない。なお、図12のように白や黒のベタの多い画面なら、ドット反転は、非常に有効であろう。

【0039】ライン反転やドット反転が最も苦手になっているのは、図15のような市松模様の画像である。よく知られているように、これは、最も高い周波数成分を持つ画像である。

【0040】しかし、液晶TVのモニタ用に使う限り、これは、全く問題にならない。アナログTV放送の電波では、事実上、このような画像を送れないためである。ところが、OA(Office Automation)端末のモニタとしては、大きな問題になる。OA機器では、中間調をディザリングによって表現することがある。このとき、条件次第では、ライン反転やドット反転の効果が激減する。実際、Windows 95の終了画面で、著しい表示品位の劣化を招くことがある。

【0041】ディザリングに似たものとして、絵素を高速に点滅させて中間調を表示するFRC(Frame Rate Co

ntrol)と呼ばれる技術がある。これを用いると、フレーム反転の効果が落ちる。その対策として、2垂直周期毎に極性を反転する方式が考えられる。本明細書では、複数の垂直周期毎に極性を反転する駆動方式をフレーム反転に含めて考える。

【0042】近年、液晶パネルの開口率を上げて、LCDの輝度を高くする動きがある。そのため、ドレイン電極が大きくなり、ソースラインとドレイン電極間の距離が年々短くなっている。それに反比例してCSDが増加し、表示品位に与える影響が無視できなくなっている。

【0043】また、LCDの需要は、より高解像度で高精細の製品にシフトしてきている。LCDの水平方向の解像度を上げるには、ソースドライバの出力端子の総数を増やす必要がある。このとき、ICの実装や映像信号の高速伝送が技術的な課題になるが、表示品位の劣化に結び付くことはない。一方、垂直方向の解像度を上げるには、ゲートドライバの出力端子の総数を増やすとともに、水平周期を短くしなければならない。このとき、今述べた課題に加えて、充電時間の短縮が大きな問題になる。さらに、水平周期が短くなった分、周波数の高い信号がソースラインに乗るので、CSDに関する問題がより大きくなる。

【0044】問題になるのは、ソースラインに乗った信号だけではない。ゲートラインに乗った交流信号も、CGDを介してドレイン電極の電位に影響を与える。いま、ゲートラインの電位が $-10[V]$ のときTFTがOffし、 $20[V]$ のときOnするものとする。ゲートラインの電位を $-10[V]$ から $20[V]$ に上げると、CGDが存在するためにドレイン電極の電位も上がる。

【0045】しかし、一度TFTがOnしてしまえば、ソースドライバによるドレイン電極の充電が始まるので、これは問題にならない。逆に、ゲートラインの電位を $20[V]$ から $-10[V]$ に下げると、ドレイン電極の電位も下がる。その直後にTFTがOffするので、このとき、ドレイン電極の電位が下がったままになる。つまり、ソースラインからドレイン電極に折角供給された電荷を、ゲートラインが吸い出してしまうのである。

【0046】しかし、CGDの影響に対する対策は、比較的容易である。ソースラインに乗る信号が表示する映像によって変わるのに対して、ゲートラインに乗る信号は、設計の段階で完全にわかっているからである。しかも、交流信号が流れているのは、VGAなら480本あるゲートラインの内、現在走査している1本だけである。このため、CGDの影響を見越して、あらかじめソースドライバの出力電圧を補整しておくだけで回避できる。

【0047】このように、図10に示す浮遊容量CGD(8)やCSD(9)のため、高周波信号に対して、TFTのスイッチング素子としての働きが悪くなる。なお、ゲートラインとソースライン間の浮遊容量などは、ドレイン

電極の電位に影響を与えないので、図10では省略している。

【0048】次に、コモン反転駆動について説明する。液晶セルの印加電圧と、絵素の輝度の関係の一例を図16に示す。実際の特性は、液晶材料の種類により多少変わる。ここでは、 $1[V]$ を印加すると白くなり、 $5[V]$ を印加すると黒くなるものとする。 $0[V]$ 以上 $1[V]$ 以下の領域と、 $5[V]$ 以上の領域では、光学特性が飽和している。なお、液晶セルに負の電圧を印加したときは、絶対値が同じで符号が逆の電圧を印加したときと同じ特性を示す。

【0049】液晶セルが図16のような特性を持つ場合、一見、ソースドライバが $1[V]$ 以上 $5[V]$ 以下の電圧を出力できれば、LCDを駆動できるように見える。しかし、極性を反転駆動するには、正負両極性の電圧を出力しなければならないので、実際には、 $-5[V]$ 以上 $5[V]$ 以下のダイナミックレンジが必要になる。

【0050】ところが、これでは、標準的な $5[V]$ 耐圧のプロセスでソースドライバを製造することができなくなる。 $10[V]$ 耐圧のプロセスを使うと、ソースドライバのチップサイズの増大を招き、コストアップにつながる。そこで、いわゆるコモン反転駆動が使われることがある。これは、コモン電極の電位を振ってやるものである。

【0051】図17にライン反転とコモン反転駆動を採用したときの水平同期信号、コモン電極の電位、黒の映像信号の電位、白の映像信号の電位を示す。コモン反転駆動では、コモン電極には、図のような矩形波が入力される。この例では、コモン電極の電位を1水平周期毎に $3[V]$ の振幅で振っている。つまり、矩形波の周期は1水平周期の2倍、p-p値は $6[V]$ である。このとき、ソースドライバが $4[V]$ のダイナミックレンジしか有していないにもかかわらず、液晶セルには、 $\pm 5[V]$ の電圧が印加されている。

【0052】コモン反転駆動では、ソースドライバの製造コストを押さえられる。また、ソースドライバの出力バッファを $4[V]$ 電源で駆動できるので、消費電力も押さえられる。その反面、コモン電極に矩形波を供給する回路が必要になる。また、コモン反転駆動を採用すると、ドット反転ができなくなる。ただし、フレーム反転やライン反転なら可能である。

【0053】これに対して、コモン電極に直流電圧を印加し、素直に $10[V]$ 耐圧のプロセスで製造されたソースドライバを用いる方式を、本明細書では、コモン直流駆動と呼ぶことにする。例えば、コモン電極の電位を $5[V]$ 一定とし、液晶セルを正極性に充電するときは $6\sim 10[V]$ の電圧を、負極性に充電するときは $0\sim 4[V]$ の電圧をソースドライバから供給すればよい。このときのコモン直流駆動におけるコモン電極の電位、黒の映像信号の電位、白の映像信号の電位を、同じ図17に示す。

【0054】コモン直流駆動では、その特長を生かすため、普通は、ドット反転が行われる。このとき、同じソースドライバICの異なる出力バッファから、正極性の信号と負極性の信号が同時に出力される。

【0055】極性の異なる信号を同時に出力するため、コモン直流駆動のソースドライバ内のDACは、コモン反転駆動のその2倍の規模になり、ICのチップサイズが大きくなる。DACに供給する補整用の基準電圧の数も2倍に増え、ICとプリント回路基板の間の端子の数が増え、実装が難しくなる。また、ソースドライバの出力バッファを10[V]電源で駆動するため、バッファで消費される電力も2倍以上に増える。消費電力の多さは、バッテリー駆動の携帯機器のモニタ用途では、特に大きな問題になる。

【0056】コモン反転駆動は、解像度が比較的低くクロストークの問題の少ないLCDや、ドットピッチが細かく実装の難しいLCD(パームトップPC用やプロジェクタ用など)に適している。コモン直流駆動は、大型で高解像度でバッテリー駆動の必要のないLCD(デスクトップPC用など)に適している。ノートPC用では、現在のところ、コモン反転駆動もコモン直流駆動も一長一短で、どちらも決め手に欠ける。ライン反転ドット反転共に、消費電力の増加を招く要素があるため、どちらが有利であるかは、一概には言えない。

【0057】一方、高解像度で大画面の表示装置を実現するため、水平または垂直ラインの数を多くし画素数を増やすと、1フィールドの時間を伸ばさない限り画素数に比例して各画素を充電する時間が短くなる。しかし各画素を充電するには、最低限必要な時間があり、画素数を多くすると各画素を十分に充電ができなくなることがある。このため画素数を十分に多くできない問題があった。

【0058】この問題に対し、特開平7-281648号公報で以下のような技術が提案されている。垂直方向に延ばされ平行に配設された複数の第1の信号線(ソースライン)と、水平方向に延ばされ平行に配設された第2の信号線(ゲートライン)とが設けられ、これらの第1、第2の信号線の各交点にそれぞれ選択素子(TFT)を介して液晶セルが設けられてなる液晶ディスプレイ装置において、上記第1の信号線を垂直方向に2以上に分割し、この分割ごとに上記第2の信号線への信号の供給を独立すると共に、表示信号を上記分割の数に応じて時間軸伸長して分割した第1の信号線に供給する。これによれば、表示信号を時間軸伸長して供給することによって液晶セルの充電時間を相対的に伸長させることができ、これによって画素数の増加を可能にすることができる。

【0059】例として、第1の信号線を2分割し、6桁×4行の表示装置を2台並べて作った6桁×8行の表示装置について説明する。図18に示すように垂直方向に

延ばされ平行に配設された複数の第1の信号線を垂直方向にS0~S5とS0'~S5'に分割する。

【0060】そしてこの分割した第1の信号線S0~S5、S0'~S5'と第2の信号線G0~G3、G0'~G3'との交点に、一端を接続したNチャンネルFETからなるスイッチング素子(5)を設け、このスイッチング素子(5)にゲートドライバ(3)、(3')から走査信号VG0~VG3とVG0'~VG3'が走査方向D1a、D2aに従って供給される。即ち、画面の上半分も下半分も上から下へ走査される。

【0061】各スイッチング素子(5)の他端はそれぞれ液晶セル(6)を通じて対向電極COM端子(7)に接続される。また、ソースドライバ(2)、(2')には制御および電源回路(4)により画面の前半、後半に振り分けられた表示信号が供給され、選択されている第2の信号線に対応する表示信号が図19に示すようにソースドライバ(2)よりHS0~HS5、ソースドライバ(2')よりHS0'~HS5'が出力される。

【0062】この場合に例示する信号は黒の映像信号であり、フィールド反転とライン反転を並用している。このとき走査信号VG0とVG0'は同時に出力され順次選択され、最後にVG3とVG3'が同時に選択された後、次のフィールドに移り、再びVG0とVG0'から走査が始まる。

【0063】これによれば、同時に2つの液晶セルに充電することができるため、同じ1フィールドの時間をのばすことなく、液晶セルに時間軸伸長して充電できることとなる。例では2分割であるが分割数を増やすことにより充電時間の不足を気にせず、更なる画素数の増加を可能にすることができる。また、これによりS-VGA(Super Video Graphic Array)即ち横800桁×縦600行のLCDを駆動する技術を使って、U-XGA(Ultra Extended Video Graphic Array)即ち横1600桁×縦1200行のLCDを実現することができる。

【0064】CRTでこれと同様のことをすると、どうしてもモニタとモニタのつなぎ目が目立つ。しかし、LCDの場合、図18の液晶パネル(1)を、1枚のマザーガラスから取れば、全くつなぎ目のないモニタを作ることができる。パネル中央を横切るソースラインの切れ目は、目には見えないからである。そのため、ユーザは、これを1台のモニタとして何ら違和感なく使うことができる。

【0065】図18のLCDでは、表示画面につなぎ目はないが、駆動回路は、上下に分かれている。そして、液晶パネルの上半分の液晶セルと下半分の液晶セルが、独立に同時に走査される。本明細書では、これを画面の分割走査と呼ぶ。

【0066】図20を用いて、このLCDの応用例を説明する。図の(1)は液晶パネル、(2)および(2')はソースドライバ、(3)および(3')はゲートドライバ、

(4)および(4')は制御および電源回路、(5)はTFT、(6)は液晶セル、(7)および(7')はコモン電極である。図20の(8)は映像信号源、(9)は制御回路、(10)はメモリである。

【0067】例えば、高精細TV放送を受信するモニタなら、(8)はチューナ、(9)は走査方式の変換回路、(10)は画像メモリになる。上記制御回路(9)は、TV局から送られてくる映像信号を、分割走査できるように変換して、制御回路(4)および(4')に振り分けるものである。PC用のモニタなら、(8)はマイクロプロセッサ、(9)はビデオコントローラ、(10)はビデオRAM(Random Access Memory)になる。

【0068】コモン電極(7)および(7')は、図20では細い導線のように描かれているが、実際は、1枚のガラス面上に広がる導電膜である。また、図20に示す液晶パネルの上半分のコモン電極(7)と下半分のコモン電極(7')が短絡している。これは、製造コストを押さえるためである。

【0069】TFT LCDの液晶パネルは、TFTとバスラインを形成したガラス基板と、全面にコモン電極を形成したガラス基板との間に、液晶材料を封じ込めて作られている。前者のガラス基板は、芸が細かい分、製造工程が多く、コストがかかっている。後者のガラス基板は、透明な導電材料のベタパターンを作るだけで済む。そのため、バスラインに少々小細工を加えても、製造設備や工程やコストは、現行品のそれと大差ない。しかし、コモン電極に手を加えると、コストが大きく跳ね上がることになる。1枚のガラス基板全面に導電膜を形成すると、必然的にコモン電極(7)と(7')は、短絡したものになる。

#### 【0070】

【発明が解決しようとする課題】上記従来技術のように、独立した第2の信号線をゲートドライバ(3)、(3')が選択信号VG0とVG0'を同時に出力し、走査方向D1a、D2aに従い順次同方向に走査し、最後にVG3とVG3'が同時に選択され、次のフィールドに移り、再びVG0とVG0'から走査する駆動を行った場合、ゲートドライバ(3)で選択される最後のゲートラインG3につながる液晶セル(6)とゲートドライバ(3')で最初に選択されるゲートラインG0'につながる液晶セル(6)は、分割した境界を挟み、上下で隣り合うが、これらの液晶セルに信号を充電するタイミングが1フレームの1/2の時間、異なる。

【0071】そのため、これらの液晶セルが、一度充電されてから次のフィールドで再び充電されるまでに隣接する第1の信号線S0～S5、S0'～S5'から受ける影響が以下のように異なる。図19は、この場合のタイムチャートを示すもので、フィールド反転とライン反転を併用して黒ベタの表示を行わせる場合のものである。

【0072】対向電極(7)のCOM信号を1フィールド

毎に反転する駆動を例に説明する。1フィールド全て、例えば黒表示等の同一の表示を行った場合、液晶セル(6)全てに同一の表示信号が充電される。そして、ゲートドライバ(3')のゲートラインG0'に接続される液晶セル(6)は、フィールドの最初に、またゲートドライバ(3)のゲートラインG3に接続されるコンデンサ(6)は、フィールドの最後に表示信号が充電される。

【0073】液晶セル(6)全てに同一の表示信号を充電するため、ゲートラインG0'に接続される液晶セル(6)に充電される表示信号のレベルと、ソースラインS0'～S5'の信号レベルは等しい。そのため、ゲートラインG0'に接続される液晶セル(6)が充電された後、ソースラインS0'～S5'から受ける影響は小さく、この液晶セル(6)に充電された表示信号の劣化量は小さい。

【0074】しかし、1フィールドの最後に充電されるゲートドライバ(3)のゲートラインG3に接続された液晶セル(6)は表示信号が充電されると、すぐに次のフィールドに移る。次のフィールドに移ると対向電極(7)のCOM信号が反転し、それに伴い表示信号も反転してしまう。

【0075】そのため、ゲートラインG3に接続される液晶セル(6)に充電された表示信号のレベルとソースラインS0～S5の信号レベルは異なる。従って、ゲートラインG0'に接続された液晶セル(6)がソースラインS0～S5から受ける影響は、ゲートラインG0'～G3'に接続された液晶セル(6)がソースラインS0'～S5'から受ける影響よりも大きく、ゲートラインG3に接続された液晶セル(6)に充電された表示信号の劣化量は大きくなる。

【0076】そのため、垂直(Y軸)方向のラインの境界であるゲートラインG3とG0'に接続された液晶セル(6)では表示が異なる。これは、分割された上下の境界付近のセルでも同じであり、画面全体で見ると分割された境界付近で輝度差を生じることになる。

【0077】このように、画面の上半分も下半分も上から下へ走査し、上半分はゲートラインG0、G1、G2、G3の順に、また下半分はG0'、G1'、G2'、G3'の順に走査すると、画面全面に対して黒の映像信号を入力し、LCDに均一な黒ベタを表示させようとしても図21に示すようにコントラストの傾斜が発生し、分割した上下2画面の境界部分に普段見えなかった継ぎ目が現れるという問題があった。

【0078】これはフレーム反転を採用すると、ソースドライバの出力電圧の極性を反転してから、液晶セルが再充電されるまでの時間が長ければ長いほど、液晶セルから電荷が逃げやすくなりコントラストが低下するからである。ライン反転を併用すれば、直流成分の多い映像信号を表示した場合に限り、コントラストの傾斜が軽減されるが万能ではない。



【0079】上述するように画面を上下2分割し、上半分も下半分も上から下へ走査したとき、分割した上下両画面の境界部分に生ずるコントラストの傾斜は、2分割した上半分および下半分の画面をそれぞれ境界部分より同時に上半分の画面は上から下へ、また下半分の画面は下から上へ走査して解消することが与えられる。

【0080】この場合、上下両画面の境界部分に位置する各液晶セルは同程度に充電されるので、図21に示すような明確なコントラストの差は生じない。しかし、境界部分に位置する各液晶セルの充電時間は、他の部分に位置する各液晶セルの充電時間より短くなるため、黒ベタを表示させた場合に、この部分は灰色になり多少のコントラストの傾斜が生ずる。このコントラストの傾斜は、画面中央部で横方向に現れるので好ましいものではない。

【0081】このような画面中央部で横方向に現れた灰色のコントラストの傾斜を解消するには、上半分および下半分の画面をそれぞれ境界部分より同時に上半分の画面は下から上へ、また下半分の画面は上から下へ走査することが考えられる。

【0082】この場合、上下両画面の境界部分に位置する各液晶セルは同程度に且つ充分充電されるので、黒ベタ表示の場合、上記のように灰色になることはないが、画面の上下端部、即ち上画面の上端部と下画面の下端部に液晶セルの充電が充分行われない領域が生じ、この部分が黒ベタ表示の場合に灰色になり、画面の上下端部に重要な表示を行いたい場合のさまたげになる。

【0083】一方、上述する上下両画面が隣接した部分に位置する両画面のゲートラインG3とG0'は同時に走査されると、そのために発生する問題が2つある。第1の問題は上述するようにゲートラインG3あるいはG0'に接続された液晶セルだけ、他より明るくまたは暗くなり、輝線または暗線が走って見えることである。

【0084】TFTがOffするとき、つまり、ゲートラインの電位が下がる時、上述するようにゲートラインとドレイン電極間の浮遊容量CGDを介してドレイン電極の電位が影響を受ける。従来の分割走査しないLCDや、図19に示すようなLCDでは、その影響の程度が、どのゲートラインを走査しているときでも等しく、そのために、CGDの影響に対する対策を立てやすかった。

【0085】ところが、ゲートラインG3とG0'が同時に走査されると、その隣接する2本のラインを走査するときと、他の離れた2本のラインを走査するときとは、走査中のゲートライン周辺の電界の分布が大きく異なる。このため、CGDを始めとする浮遊容量の影響の程度が、中央の2ライン付近を走査するときだけ異なることになる。

【0086】LCDの駆動回路を設計するとき、CGDの影響を相殺するために、ソースドライバの出力電圧の値

をあらかじめ補整しておくことがある。ところが、ゲートラインG3とG0'が同時に走査されると、走査しているライン毎にこの補整量を変えなければならない。そうしなければ、画面中央の2ラインだけ、他のラインと輝度が違って見えるという現象が発生する。しかし、補整量を可変にしようとする、LCDの制御回路やγ補整用の基準電圧を発生する回路が複雑になり、コストや信頼性の問題が起きる。

【0087】第2の問題は、コモン反転駆動のソースドライバでは、1ライン毎に極性を反転するライン反転ができないことである。図22の(a)は、コモン反転駆動のソースドライバで、図18のLCDを駆動するときの信号波形の例である。この図でも、ソースドライバからは、黒の映像信号が出力されているものとする。この例では、フィールド反転とライン反転を併用している。コモン反転駆動を採用した場合、上半分を担当するソースドライバ(2)と、下半分を担当するソースドライバ(2')からは、常に同じ極性の信号が出力されることになる。

【0088】このとき、液晶セルに印加される電圧の極性を図23に示す。上述する図22(a)では、画面中央の2本のラインG3とG0'が、正しくライン反転できていないことがわかる。すると、ゲートラインG3とG0'に接続された液晶セルの周辺にできる電気力線は、他の液晶セルのそれと異なるものになる。液晶セルは、液晶材料の分子が、電気力線の方向を向くことを利用した絵素であるから、これは、致命的である。つまり、これも、中央の2ラインだけ明るくまたは暗くなる原因になるのである。

【0089】なお、例えば、図18のゲートラインG0上の液晶セルを充電し終えた直後、すなわち、G1上の液晶セルを充電し始める直前、G0上の液晶セルとG1上の液晶セルが同じ極性に帯電している。しかし、この時点から1水平周期も経過すれば、G1上の液晶セルは、G0上の液晶セルと逆極性に充電される。このような一時的に発生する異常は、目に見える不具合にはならない。

【0090】一方、上記図22(a)の異常は、一時的なものではない。不具合の原因は、隣り合うゲートラインG3とG0'に接続された液晶セルが、どちらも同じ極性に充電され、しかも、その状態が長期間続くことにある。

【0091】図22(b)は、ゲートラインG3とG0'上の液晶セルを異なる極性で充電するものである。この場合、液晶パネルの上半分のコモン電極(図20の(7))と下半分のコモン電極(図20の(7'))に、位相の異なる矩形波を供給する必要がある。したがって、上下2つのコモン電極の間が短絡していると、この方式は使えない。ところが、既に述べたように、2つのコモン電極を電氣的に切り離そうとすると、コストアップを招く。

【0092】また、図20のソースドライバ(2)と(2')を異なる電源電圧で駆動する方法も考えられる。しかし、その場合、制御回路(4)とソースドライバ(2)の間に、あるいは、(4')と(2')の間に、デジタル信号のレベルシフトが必要になるなど、新たなコストアップや信頼性の問題が発生する。

【0093】もちろん、素直にコモン直流駆動方式を採用するのは、この第2の問題の単純明快な解決策である。しかし、この方式は、ソースドライバの消費電力の増加とコストアップを招くものである。また、設計上、ドット反転の必要性の薄い液晶パネルを、わざわざコモン直流駆動のソースドライバで駆動するのは、コストパフォーマンスの点で好ましくない。

【0094】本発明は、かかる状況を鑑みてなされたものである。即ち、画面の上半分と下半分の走査方向を逆にしても、中央に輝線または暗線の走らない、分割走査方式の高精細LCDを提供するものである。

【0095】

【課題を解決するための手段】本発明は上記の課題を解決するため、次のような手段で構成する。請求項1のドットマトリクス表示装置は、垂直方向に延び、平行に配設された複数の第1の信号線と、水平方向に延び、平行に配設された複数の第2の信号線とを設け、これらの第1、第2の信号線の各交点にそれぞれ選択素子を介して画素電極を設け、該画素電極を選択駆動することにより表示を行うドットマトリクス表示装置において、上記第1の信号線を垂直方向に且つ上記第2の信号線と並行に複数等分に分割して、表示画面を上下方向に複数等分に分割した複数の表示領域を形成し、上記各表示領域毎の第2の信号線を同一時間帯に走査するとともに、隣接する上記表示領域の境界部分に位置する第2の信号線を実質的に同一タイミングで走査する上記各表示領域に対応した複数の走査回路を設け、表示信号を上記表示領域の分割数に応じて時間軸伸張し、分割した上記各表示領域に対応する時間軸伸張した表示信号を、分割した上記各表示領域の第1の信号線に供給する上記各表示領域に対応した複数の信号供給回路を設けたことを特徴とする。

【0096】請求項2のドットマトリクス表示装置は、請求項1のドットマトリクス表示装置において、上記走査回路は上記複数の表示領域のうち、隣接する表示領域の境界部分における各第2の信号線を、上記隣接する表示領域の各フレームの走査タイミングの始点として走査し、順次上記境界部分より離間する方向に各第2の信号線の走査を行うようにしたものであることを特徴とする。

【0097】請求項3のドットマトリクス表示装置は、請求項1のドットマトリクス表示装置において、上記走査回路は、上記複数の表示領域のうち、隣接する表示領域の境界部分における第2の信号線の走査を、上記隣接

する表示領域の各フレームの走査のタイミングの終点として走査し、順次上記境界部分より離間した位置より境界部分の方向に各第2の信号線の走査を行うようにしたものであることを特徴とする。

【0098】請求項4のドットマトリクス表示装置は、垂直方向に延び、平行に配設された複数の第1の信号線と、水平方向に延び、平行に配設された複数の第2の信号線とを設け、これらの第1、第2の信号線の各交点にそれぞれ選択素子を介して画素電極を設け、該画素電極を選択駆動することにより表示を行うドットマトリクス表示装置において、上記第1の信号線を垂直方向に且つ上記第2の信号線と並行に複数等分に分割して、表示画面を上下方向に複数等分に分割した複数の表示領域を形成し、上記各表示領域毎の第2の信号線を、隣接する表示領域の境界部分より互いに離間する方向あるいはその逆方向に走査する上記複数の表示領域に対応して設けた複数の走査回路と、上記複数の走査回路に位相の異なる垂直同期信号を出力する垂直同期信号発生回路と、表示信号を上記表示領域の分割数に応じて時間軸伸張し、分割した上記各表示領域に対応する時間軸伸張した表示信号を分割した上記各表示領域の第1の信号線に同時に供給する上記各表示領域に対応した複数の信号供給回路と、上記画素電極に対応する個々の画素に与える信号を1垂直周期あるいは複数の垂直周期毎に異なる極性に書き込むフレーム反転回路を設けたことを特徴とする。

【0099】請求項5のドットマトリクス表示装置は、請求項4のドットマトリクス表示装置において、上記垂直同期信号発生回路で生成する位相の異なる複数の垂直同期信号間の時間差は、水平周期の整数倍であることを特徴とする。

【0100】請求項6のドットマトリクス表示装置は、請求項4に記載のドットマトリクス表示装置において、上記垂直同期信号発生回路で生成する位相の異なる複数の垂直同期信号間の時間差は、水平周期の奇数倍であることを特徴とする。

【0101】請求項7のドットマトリクス表示装置は、請求項4乃至6のドットマトリクス表示装置において、上記垂直同期信号発生回路で生成する位相の異なる複数の垂直同期信号間の位相差は、隣接する表示領域に対応した垂直同期信号の垂直帰線期間が重複するように設定されることを特徴とする。

【0102】請求項8のドットマトリクス表示装置は、請求項4乃至7のドットマトリクス表示装置において、上記隣接する表示領域の境界部分の両表示領域に位置する第2の信号線は、同時に走査されないようにしたことを特徴とする。

【0103】請求項9のドットマトリクス表示装置は、請求項4乃至8に記載のドットマトリクス表示装置において、上記隣接する表示領域の境界部分の両表示領域に位

置する第 2 の信号線に接続された絵素が同極性に書き込まれている時間は、逆極性に書き込まれている時間より短いことを特徴とする。

【0104】請求項 10 のドットマトリクス表示装置は、請求項 1 乃至 9 のドットマトリクス表示装置において、上記選択素子は上記画素電極で構成される各絵素と、対応する第 1 の信号線との間に設けた能動素子であることを特徴とする。

【0105】請求項 11 のドットマトリクス表示装置は、請求項 10 のドットマトリクス表示装置において、上記能動素子は非晶質のシリコン薄膜トランジスタであることを特徴とする。

【0106】請求項 12 のドットマトリクス表示装置は、請求項 1 乃至 11 のドットマトリクス表示装置において、上記画素電極で構成される各絵素の一端は 1 枚の導電板より成るコモン電極に接続されていることを特徴とする。

【0107】請求項 13 のドットマトリクス表示装置は、請求項 12 のドットマトリクス表示装置において、上記コモン電極には、垂直同期信号かつ/または水平同期信号に同期した矩形波状の電圧が印加されていることを特徴とする。

【0108】請求項 14 のドットマトリクス表示装置は、請求項 13 のドットマトリクス表示装置において、上記第 1 の信号線に信号電圧を供給する複数個の信号供給回路は、上記画素電極で構成される各絵素を正負両極に書き込むために必要な電圧の振れ幅の高々  $1/2$  のダイナミックレンジを持つ回路であることを特徴とする。

【0109】請求項 15 のドットマトリクス表示装置は、請求項 1 乃至 14 のドットマトリクス表示装置において、上記画素電極で構成される絵素は液晶セルであることを特徴とする。

【0110】(作用)請求項 1 の構成によれば、選択素子を走査する順序を制御することにより、分割された第 1 の信号線の境界で隣り合う表示セルは、同一タイミングで信号を充電されるため、一度充電された液晶セルが次のフィールドで充電されるまでに隣接する第 1 の信号線から受ける影響が分割された上下の境界で同じになる。そのため、第 1 の信号線の分割境界部の輝度差を解消することができる。

【0111】請求項 2 の構成によれば、上下に分割した表示画面の境界部分より上画面は下より上へ、また下画面は上より下へ同一タイミングで走査するので、上記境界部分で隣接する走査線の各表示セルは同程度で且つ十分に充電され、画面中央部に位置する分割境界部で輝度差が生ずることがなく、しかも充電不足による他の領域との間の輝度差が生ずることもない。

【0112】請求項 3 の構成によれば、上下に分割された表示画面の境界部分より上画面は上より下へ、また下画面は下より上へ同一タイミングで走査するので、上記

境界部分で隣接する走査線の各液晶セルは同程度に充電される。従って、この境界部分で輝度差は生じることがない。また、上記境界部分で隣接する走査線の表示セルは充電時間が短くなるため、他の領域との間の輝度差が多少生じるが、画面の上下端部、即ち上画面の上端部および下画面の下端部の表示セルは共に充分充電されるので、画面の上下端部における他の領域との間の輝度差が生じることはない。

【0113】請求項 4 乃至 15 の構成によれば、上下に分割した表示画面に供給する映像信号の位相を垂直同期信号が 1 水平同期期間の整数倍だけずれるように設定している。従って、上記上下両画面の境界部分で隣接する両画面の端部の走査線が同時に走査されることがなく、適度に位相をずらせるて走査させることができる。また、コモン電極を映像信号の水平あるいは垂直同期信号に同期したパルス印加する 1 枚の電極で構成することができる。これにより、上記上下両画面の境界部分で隣接する両画面の端部の走査線に輝度差が生ずることがなくなり、上下に分割した表示画面の表示品位の低下を抑制することができるとともに、第 1 の信号線を駆動する信号供給回路のダイナミックレンジを表示絵素に必要な電圧の  $1/2$  にすることができる。

【0114】また、上下両画面の映像信号の垂直帰線期間が重なるようにして、この垂直帰線期間の重なっている期間にフレーム反転を行うようにしているので、フレーム反転に伴う走査ラインの輝線や暗線が発生することもない。

【0115】また、上記両画面に供給する垂直同期信号のずれを 1 水平同期期間の奇数倍に設定するので、上下両画面の境界部で隣接する両画面の端部の走査線に接続された絵素が同極性に充電されることがなくなり、容量性負荷より成る表示絵素、特に液晶セルの劣化を防止することができる。

【0116】また、上記上下両画面の境界部で隣接する両画面の端部の走査線に接続された絵素を同極性に書き込む時間より逆極性に書き込む時間の方が長くなるように、上記両垂直同期信号の位相のずれを設定するので液晶セルより成る表示絵素の劣化を防止することができる。

【0117】また、第 1 および第 2 の信号線の交換部に設けた画素電極を選択する選択素子は、アモルファスシリコンあるいはポリシリコンより成る TFT 等で構成した能動素子にしているので、高速で且つコントラストの優れたドットマトリクス表示装置を得ることができる。

【0118】

【発明の実施の形態】

(実施形態 1) 本実施形態 1 は請求項 1, 2, 10, 11, 12, 13, 14 および 15 に関係し、表示画面を上下に複数分割して、上画面は上から下へ、また下画面は下から上へ同時に走査し、分割境界部での輝度差をなくすもの

である。表示信号を供給する第1の信号線を2分割し、表示画面に上下に2分割した場合の例を説明する。

【0119】図1は本実施形態1の構成図である。図1に示すように垂直方向に延ばされ、平行に配設された複数の第1の信号線を垂直方向に $S1 \sim Sm$ と $S1' \sim Sm'$ に分割し、この分割ごとに第1の信号線 $S1 \sim Sm$ 、 $S1' \sim Sm'$ と第2の信号線 $G1 \sim Gn$ との交点に一端を接続したNチャンネルFETからなるスイッチング素子 $M11 \sim Mnm$ を設け、このスイッチング素子 $M11 \sim Mnm$ にゲートドライバ(3)、(3')から走査信号 $VG1 \sim VGn/2$ と $VGn \sim VG(n/2)+1$ が走査方向 $D1$ 、 $D2'$ に従って供給される。スイッチング素子 $M11 \sim Mnm$ の他端はそれぞれ液晶セル $C11 \sim Cnm$ を通じて対向電極COM端子(7)に接続される。

【0120】また、ソースドライバ(2)、(2')には制御および電源回路(4)により画面の前半、後半に振り分けられた表示信号が供給され、選択されている第2の信号線に対応する表示信号が図2のタイミングチャートに示すようにソースドライバ(2)より $HS1 \sim HSm$ 、ソースドライバ(2')より $HS1' \sim HSm'$ が出力される。

【0121】ゲートドライバ(3)、(3')の選択素子を走査する順序をゲートドライバ(3)は $VG1 \rightarrow VGn/2$ の順に、ゲートドライバ(3')は、 $VGn \rightarrow VG(n/2)+1$ の順に走査することにより、分割境界部の液晶セル $C(n/2) \cdot 1 \sim C(n/2) \cdot m$ と $C\{(n/2)+1\} \cdot 1 \sim C\{(n/2)+1\} \cdot m$ は、同一タイミングで充電されることになる。これにより、上に述べた液晶セルが第1の信号線から受ける影響は、液晶セル $C(n/2) \cdot 1 \sim C(n/2) \cdot m$ と $C\{(n/2)+1\} \cdot 1 \sim C\{(n/2)+1\} \cdot m$ では、同じとなる。そのため、第1の信号線の分割境界部の輝度差を解消することができる。

【0122】上記のように本実施形態によると、分割境界部の液晶セル $C(n/2) \cdot 1 \sim C(n/2) \cdot m$ と $C\{(n/2)+1\} \cdot 1 \sim C\{(n/2)+1\} \cdot m$ は同一タイミングで充電されるので、この分割境界部では、輝度差はなくなるが、これらの液晶セルは1垂直期間の最後に充電された後、直ちに放電され、再充電は次の垂直期間の最後になるため、他の水平ラインの液晶セルに比べ、輝度が多少低下することがある。これは黒ベタ表示を行わせた場合に、上記分割境界部に他の水平ラインに比べて輝度の低い灰色がかった横縞として現れる場合があるという問題を残している。

【0123】なお、図1に示す実施形態は表示画面を上下に2分割するものであるが、複数分割する場合も同様に実施することができる。また、ドットマトリクス表示装置として液晶表示装置を例示しているが、表示セルが容量性の絵素である他の表示装置においても同様に実施することができる。また、例示した液晶表示装置の従来技術として周知の部分の構成については説明を省略している。これらは、以下の各実施形態の説明において同じである。

【0124】(第2実施形態)本実施形態2は請求項1、

3, 10, 11, 12, 13, 14および15に関係し、表示画面を上下に複数分割して、上画面は下から上へ、また下画面は上から下へ走査し、分割境界部での輝度差をなくすものである。本実施形態2の構成は図1に示す実施形態1の構成に比べ、ゲートドライバ(3)、(3')の構成を除いて同一である。

【0125】図1を用いて説明すると、垂直方向に延ばされ、平行に配設された複数の第1の信号線を垂直方向に $S1 \sim Sm$ と $S1' \sim Sm'$ に分割し、この分割ごとに第1の信号線 $S1 \sim Sm$ 、 $S1' \sim Sm'$ と第2の信号線 $G1 \sim Gn$ との交点に一端を接続したNチャンネルFETからなるスイッチング素子 $M11 \sim Mnm$ を設け、このスイッチング素子 $M11 \sim Mnm$ にゲートドライバ(3)、(3')から走査信号 $VG1 \sim VGn/2$ と $VGn \sim VG(n/2)+1$ に走査信号が供給される。

【0126】この走査信号の走査方向は上述する実施形態1の場合の $D1$ 、 $D2'$ とは逆向きの $D2$ 、 $D1'$ であって、ゲートドライバ(3)は第2の信号線を $Gn/2 \rightarrow G1$ の方向へ、またゲートドライバ(3')は第2の信号線 $G(n/2)+1 \rightarrow Gn$ の方向へ走査する。また、スイッチング素子 $M11 \sim Mnm$ の他端はそれぞれ液晶セル $C11 \sim Cnm$ を通じて対向電極COM端子(7)に接続される。

【0127】また、ソースドライバ(2)、(2')には制御および電源回路(4)により画面の前半、後半に振り分けられた表示信号が供給され、選択されている第2の信号線に対応する表示信号がソースドライバ(2)より $HS1 \sim HSm$ 、ソースドライバ(2')より $HS1' \sim HSm'$ が出力される。ゲートドライバ(3)、(3')の選択素子を走査する順序は、図3に示すように、ソースドライバ(2)で駆動される画面を走査するゲートドライバ(3)のゲートラインは $G3 \rightarrow G2 \rightarrow G1 \rightarrow G0$ の順で走査され、ソースドライバ(2')で駆動される画面を走査するゲートドライバ(3')のゲートラインは $G0' \rightarrow G1' \rightarrow G2' \rightarrow G3'$ の順に走査される。

【0128】上記のような走査を行うことにより、分割境界部の液晶セル $C(n/2) \cdot 1 \sim C(n/2) \cdot m$ と $C\{(n/2)+1\} \cdot 1 \sim C\{(n/2)+1\} \cdot m$ は、同一タイミングで充電されることになる。これにより、上に述べた液晶セルが第1の信号線から受ける影響は、液晶セル $C(n/2) \cdot 1 \sim C(n/2) \cdot m$ と $C\{(n/2)+1\} \cdot 1 \sim C\{(n/2)+1\} \cdot m$ では、同じとなる。そのため、第1の信号線の分割境界部の輝度差を解消することができる。

【0129】本実施形態2においては、分割境界部の液晶セル $C(n/2) \cdot 1 \sim C(n/2) \cdot m$ と $C\{(n/2)+1\} \cdot 1 \sim C\{(n/2)+1\} \cdot m$ は同一タイミングで且つ十分な時間充電されるため、上述する実施形態1で述べた分割境界部の上記液晶セルが他の部分の液晶セルより充電時間が短くなるためのコントラストの傾斜が生じる恐れがない。しかし、この場合は上半分の画面の上端部および下半分の画面の下端部で、図4に示すようなコントラストの傾斜が生じ

る恐れがある。このコントラストの傾斜は画面の継ぎ目には現れず、使用頻度の高い画面の中央部のコントラストの低下はないので使い易いものになる。

【0130】(実施形態3)本実施形態3は、請求項4乃至15に関係し、表示画面を上下に複数に分割して隣接する画面で走査信号に位相差を持たせ、分割境界部での輝度差をなくすものである。

【0131】表示信号を供給する第1の信号線を2分割して、表示画面を上下に2分割した場合の例を説明する。

【0132】本実施形態3の構成を図5に示す。図5において、上述する実施形態1、2の構成を示す図1に対応する部分には同一の符号を付し、説明を省略する。図5が図1と相違する点は、映像信号源(20)からの映像信号に基づき、制御回路(21)でメモリ(22)を用いて垂直同期信号の位相がずれた2つの映像信号を作り、この2つの映像信号を制御および電源回路(40)、(40')でそれぞれ映像信号と同期信号に分離し、映像信号はそれぞれソースドライバ(2)、(2')へ、また同期信号はそれぞれゲートドライバ(3)、(3')に供給していることである。

【0133】この場合、本実施形態のゲートドライバ(3)、(3')による上下両画面の走査方向は、上述する実施形態1、2に示すいずれの方向であってもよい。即ち、ゲートドライバ(3)、(3')は第2の信号線を $G1 \rightarrow Gn/2$ 、 $Gn \rightarrow G(n/2)+1$ あるいは $Gn/2 \rightarrow G1$ 、 $G(n/2)+1 \rightarrow Gn$ の方向へ走査する。しかし、上下両画面の上記走査は、上記両画面の映像信号の両垂直同期信号に位相差を持たせることにより、位相のずれた両走査信号 $VG1 \sim VGn/2$ 、 $VG(n/2)+1 \sim VGn$ を作り、この走査信号によって行われる。

【0134】以下、図6を用いて本実施形態3を説明する。図6は、コモン直流駆動方式における各同期信号のタイミングと、ソースドライバの出力電圧を示したものである。上述するように図5の制御および電源回路(40)、(40')に位相の異なる垂直同期信号(各々 $V_{sync}$ および $V_{sync}'$ )が入力される。つまり、制御回路(40')に入力される垂直同期信号および映像信号は、制御回路(40)に入力されるそれより2水平周期遅れている。このため、ゲートライン $G3$ と $G0'$ が、同時に走査されることはない。なお、これは、コモン直流駆動方式の実施例であるから、液晶パネルの上半分のコモン電極と、下半分のコモン電極を短絡しても問題ない。

【0135】ところで、1あるいは2水平周期の時間差をつけた程度では、画面中央の輝線や暗線が解消されない場合があり得る。次に、2つの垂直同期信号にどの程度の時間差をつけられるか説明する。本実施形態のコモン直流駆動方式のLCDの場合は、コモン電極の電位が一定なので非常に簡単である。 $V_{sync}$ と $V_{sync}'$ の位相差に特に制限はない。1水平周期の何倍ずらしても問題は

ない。1水平周期の整数倍でなくてもよい。

【0136】極端な場合、 $V_{sync}$ と $V_{sync}'$ の位相を $180'$ ずらしてもよい。例えば、U-XGAの分割走査方式のLCDなら、横1600桁×縦600行×上下2画面の構成をしているので、 $V_{sync}$ と $V_{sync}'$ を1水平周期の300倍ずらしてもよい。 $V_{sync}$ と $V_{sync}'$ の位相差を $\pm 180'$ にすれば、図5のゲートドライバ(3)の走査するゲートラインと、同じ時刻にゲートドライバ(3')の走査するゲートラインが、物理的に至近距離に存在することによる弊害が、最大限に緩和される。

【0137】ただし、このとき、別の原因による表示品位の低下を招くおそれがある。ゲートライン $G3$ 上の液晶セルを充電してから、ゲートライン $G0'$ 上の液晶セルを充電するまでの時間と、 $G0'$ 上の液晶セルを充電してから、 $G3$ 上の液晶セルを充電するまでの時間が、ほぼ等しくなる。つまり、 $G3$ 上の液晶セルと $G0'$ 上の液晶セルが、同じ極性に帯電している時間と、異なる極性に帯電している時間とが等しくなる。このため、隣接するゲートライン $G3$ と $G0'$ 上の液晶セルが、1垂直周期の半分は、同じ極性に帯電していることになる。そして、隣接するゲートライン上の液晶セルを同じ極性で充電したまま長期間放置することによって起因する表示不良が出る。

【0138】もし、 $V_{sync}$ と $V_{sync}'$ の位相差が $0'$ なら、つまり、実施形態1あるいは2の場合には、表示品位への影響は、全く正反対になる。すなわち、至近距離のゲートラインを同時に走査することによる弊害が大きくなり、至近距離のゲートラインを長時間同一極性に帯電させることによる弊害が小さくなる。

【0139】したがって、本発明を実施する場合、 $V_{sync}$ と $V_{sync}'$ の位相差は、 $-180'$ 以上 $180'$ 以下で $0'$ でない値の中から、最適なものを選べばよい。その最適値は、駆動する液晶パネルの設計に依存する。

【0140】本実施形態3では、図6に示すように、ゲートライン $G1$ と $G0'$ が同時に走査される。その2本のゲートライン間の距離は、3ラインである。なお、 $G0$ と $G1'$ も同時に走査されるが、その距離は5ラインなので、こちらの2本を走査しているときの方がマージンが大きい。また、ドレイン電極 $D30$ と $D00'$ が同じ極性に帯電する時間は、1垂直周期当たり2水平周期ある。逆に、異なる極性に帯電するのは、1垂直周期当たり4水平周期ある。

【0141】(実施形態4)本実施形態4は請求項4乃至15に関係し、上述する実施形態3と同様、表示画面を上下に複数分割し、隣接する画面で走査信号に位相差を持たせ、分割境界部での輝度差をなくすものであるが、実施形態3はコモン電極を直流駆動にしたものであるのに対して、本実施形態4はコモン電極を反転駆動させた場合のものである。

【0142】本実施形態4の表示パネルの構成は、上述

する実施形態 3 と実質的に同じであるので図 5 を用いて説明する。

【0143】図 7 は本実施形態 4 に用いるコモン反転駆動方式での各同期信号のタイミングと、ソースドライバの出力電圧と、コモン電極に印加される矩形波の波形を示したものである。

【0144】図 5 の制御および電源回路(40')に入力される垂直同期信号および映像信号は、制御および電源回路(40)に輸入されるそれより 1 水平周期遅れている。このため、ゲートライン G3 と G0' が、同時に走査されることはない。また、液晶パネルの上半分のコモン電極に供給される矩形波の位相が、下半分のそれと同じなので、上下 2 つのコモン電極を短絡しても問題ない。

【0145】この実施形態 4 においても、ゲートライン G3 と G0' の走査に、1 あるいは 2 水平周期の時間差をつけた程度では、画面中央の輝線や暗線が解消されない場合が考えられる。次に、上記 2 つの垂直同期信号 VG3 と VG0' にどの程度の時間差をつけられるか説明する。

【0146】コモン反転駆動方式の LCD の場合、もし、画面上半分と下半分のコモン電極が短絡していないなら、コモン直流駆動の場合と同じように考えることができる。ここでは、両者は短絡しているものとする。

【0147】まず、Vsync と Vsync' の時間差は、1 水平周期の整数倍でなければならない。ソースドライバの出力電圧の極性を反転するとき、コモン電極の電位も反転しなければならないからである。

【0148】さらに、図 7 に示すように、Vsync の垂直帰線期間の一部と、Vsync' の垂直帰線期間の一部が重なっていないなければならない。そして、Vsync も Vsync' も帰線期間に入ったときを見計らってフィールド反転しなければならない。垂直表示期間中にフィールド反転すると、反転したとき走査中のラインが、輝線や暗線となって現れるおそれがあるからである。画面の上半分も下半分も垂直帰線期間中にフィールド反転するためには、Vsync と Vsync' が同時に垂直帰線期間に入る瞬間がなければならない。

【0149】また、隣接するゲートライン G3 と G0' 上の液晶セルを異なる極性に充電するには、Vsync と Vsync' の時間差は、1 水平周期の奇数倍でなければならない。時間差が偶数倍であると、隣接するゲートライン G3 と G0' 上の液晶セルが同極性で充電されるので好ましくない。上述する実施形態 3 の場合のコモン直流駆動方式の LCD であると、コモン電極の電位を反転する必要がないので、以上の条件を考慮する必要はない。上半分と下半分の画面のコモン電極が短絡していない場合は、両者に異なる電圧を印加できるので、やはり、以上の条件を考慮する必要はない。

【0150】また、図 7 に示す本実施形態 4 では、垂直帰線期間が 2 水平周期しかないので、前記条件を満たす

うとすると、かなり窮屈な設計になる。しかし、垂直帰線期間は、数 10 水平周期程度存在するのが普通なので、実際には、位相差を選択する余地は、かなり残されている。前記条件下においても、ほとんどの場合、要求される画質を満足させる位相差を見つけることができる。

【0151】なお、本実施形態において、図 5 に示す制御および電源回路(40)と(40')は、2 つに分かれているが、これらを同じ IC パッケージにまとめてもよいし、同じ IC チップ上に作ってもよい。また、Vsync と Vsync' の一方から他方をカウンタなどで作るのは容易であるから、映像信号源から LCD に、片方を伝送するだけでもよい。その他、上半分の駆動回路と下半分のそれとで、例えば補整用の基準電圧源など共用できる回路は共用することが好ましい。

【0152】

【発明の効果】以上説明したように、本発明によれば、容量性負荷の表示絵素で構成した表示画面を上下に分割して、線順次走査で同時に駆動するドットマトリクス表示装置において、上下両面の走査線の走査順序を制御することにより、上記上下両画面の分割境界部分における上画面側と下画面側の隣接する走査線の輝度差を解消することができ、高精細、高品位の表示を行わせることができる。

【0153】また、映像信号の各フレーム毎に、上記上画面は上から下へ(あるいは下から上へ)走査し、下画面は下から上へ(あるいは上から下へ)走査することにより、上記分割境界部分における上下両画面の隣接する走査線の絵素が信号の充放電に関して同一条件で駆動されることになるので、この隣接する両走査線の輝度差を解消することができ、上下両画面の分割境界部分の表示品位を向上させることができる。

【0154】また、上記上下両画面を駆動する映像信号の位相をずらせ、上画面を走査するタイミングと下画面を走査するタイミングをずらせるようにするので、各表示絵素に影響する浮遊容量の影響の程度が、上記分割境界部分における上下両画面の隣接する走査線だけ異なることによる輝線または暗線の発生を抑制することができ、上下両画面の分割境界部分の表示品位を向上させることができる。

【0155】更に、上記の上下両画面を走査するタイミングを映像信号の水平周期信号の奇数倍だけずらせることにより、上画面と下画面を駆動する両ドライバが同一極性の信号を出力する場合でも 1 ライン毎のライン反転を採用することができ、上記の表示品位の向上を安定して行わせることができる。

【図面の簡単な説明】

【図 1】 本発明の構成図である。

【図 2】 本発明の実施形態 1 の動作説明に用いるタイムチャートである。

【図3】 本発明の実施形態2の動作説明に用いるタイムチャートである。

【図4】 本発明の実施形態2の動作説明図である。

【図5】 本発明の実施形態3、4の構成図である。

【図6】 本発明の実施形態3の動作説明に用いるタイムチャートである。

【図7】 本発明の実施形態4の動作説明に用いるタイムチャートである。

【図8】 液晶表示装置の構成図である。

【図9】 液晶表示装置に用いるソースドライバの構成図である。

【図10】 液晶表示装置の絵素部における浮遊容量の等価回路図である。

【図11】 従来の液晶表示装置の動作説明に用いるタイムチャートである。

【図12】 液晶表示装置の動作説明図ある。

【図13】 液晶表示装置の動作説明図ある。

【図14】 液晶表示装置の動作説明図ある。

【図15】 液晶表示装置の動作説明図ある。

【図16】 液晶表示装置の表示特性図である。

【図17】 従来例の動作説明に用いるタイムチャートである。

【図18】 従来例の構成図である。

【図19】 従来例の動作説明に用いるタイムチャートである。

【図20】 従来例の構成図である。

【図21】 従来例の動作説明図である。

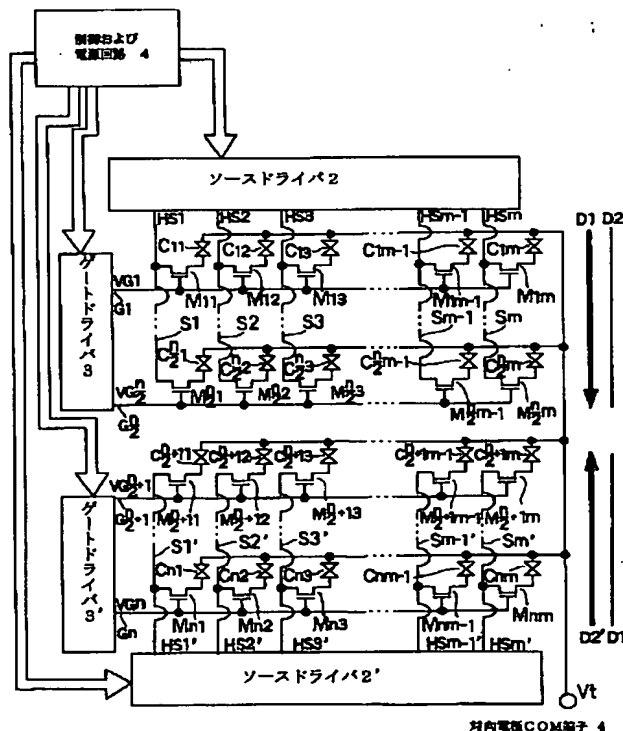
【図22】 従来例の動作説明に用いるタイムチャートである。

【図23】 従来例の動作説明図である。

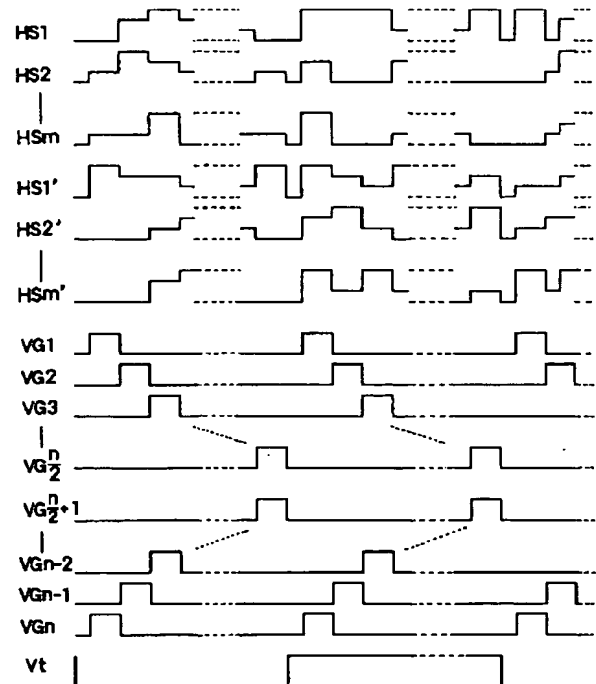
【符号の説明】

- 1 液晶パネル
- 2, 2' ソースドライバ
- 3, 3' ゲートドライバ
- 4 制御および電源回路
- 5 TFT
- 6 液晶セル
- 7 コモン電極
- 11 シリアルパラレル変換器
- 12 ラッチ/フリップフロップ
- 13 デジタル-アナログ変換器
- 14 出力バッファ
- 20 映像信号源
- 21 制御回路
- 22 メモリ
- 40, 40' 制御および電源回路
- S1~Sm 第1の信号線
- G0, G1~Gn 第2の信号線/ゲートライン
- G0' ~G3' 第2の信号線/ゲートライン
- M11~Mnm スイッチング素子
- C11~Cnm 液晶セル

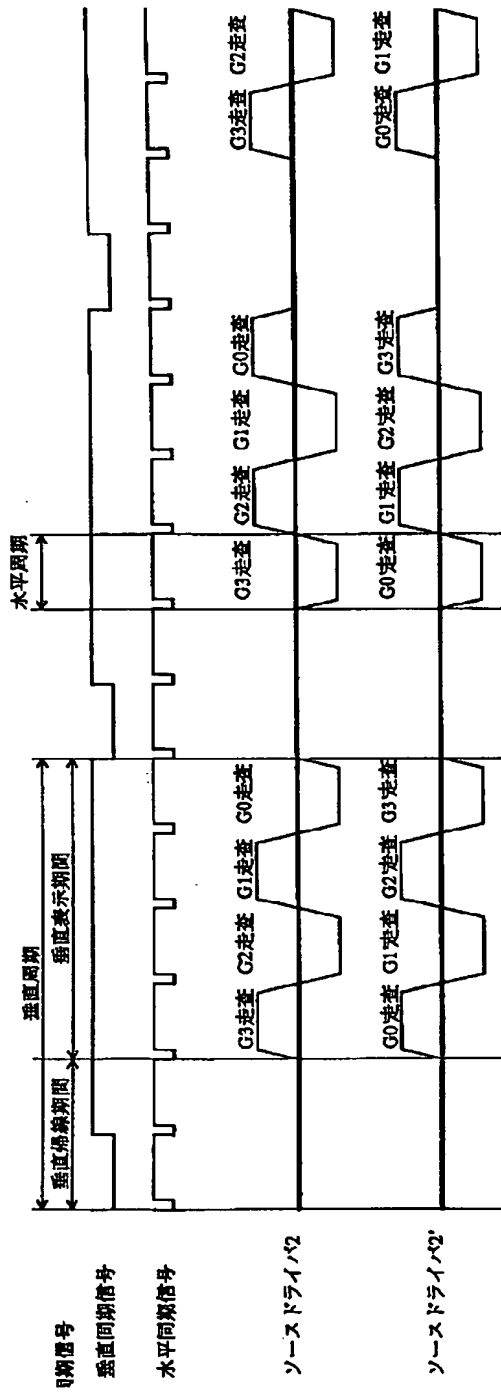
【図1】



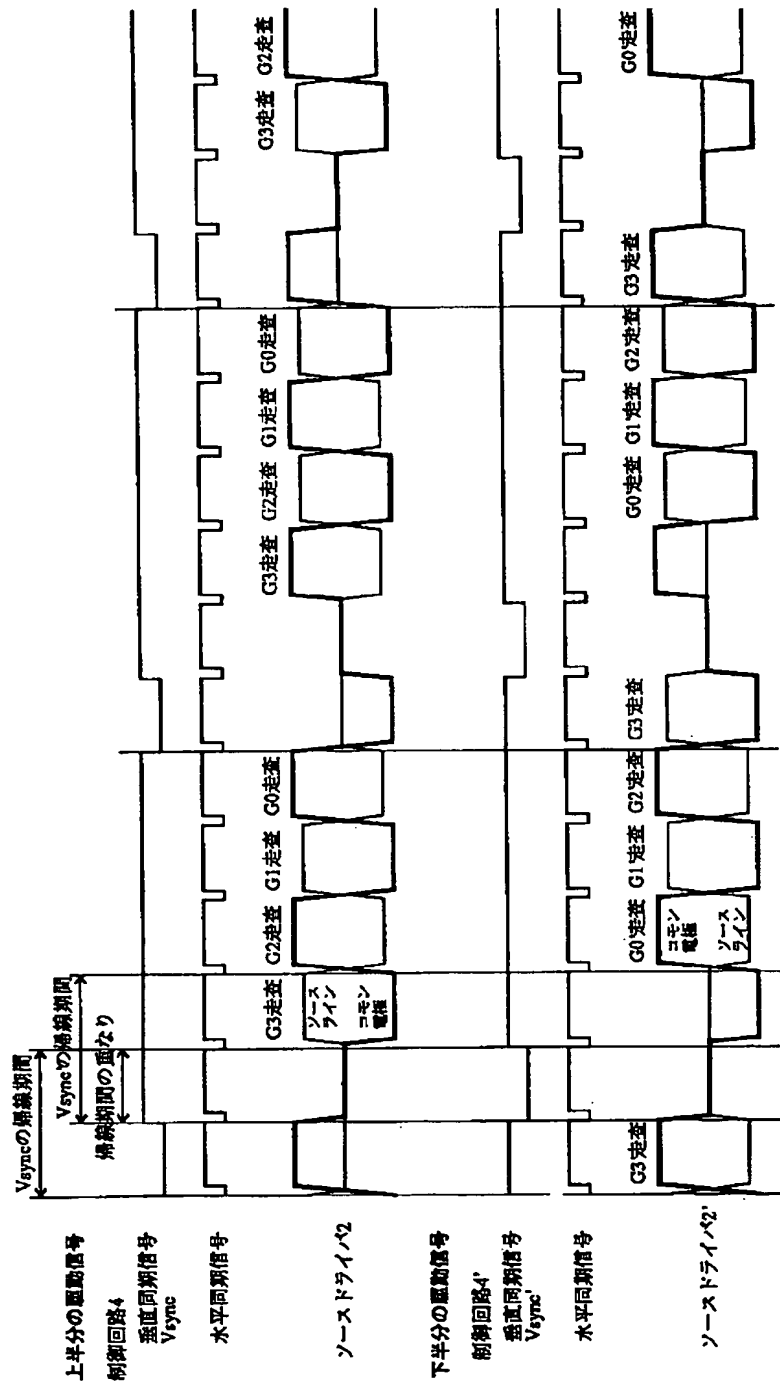
【図2】



【図3】

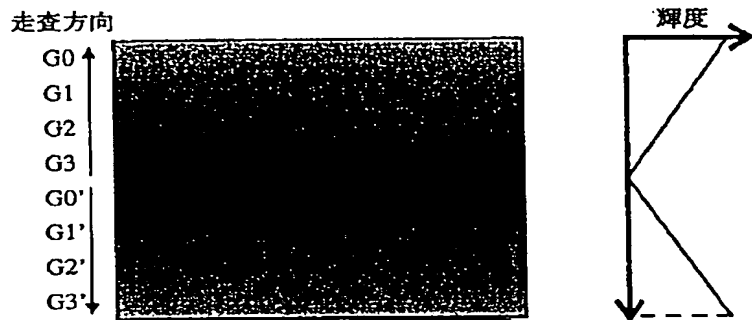


【図7】

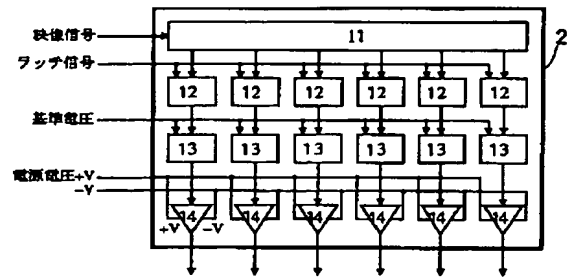




【図 4】

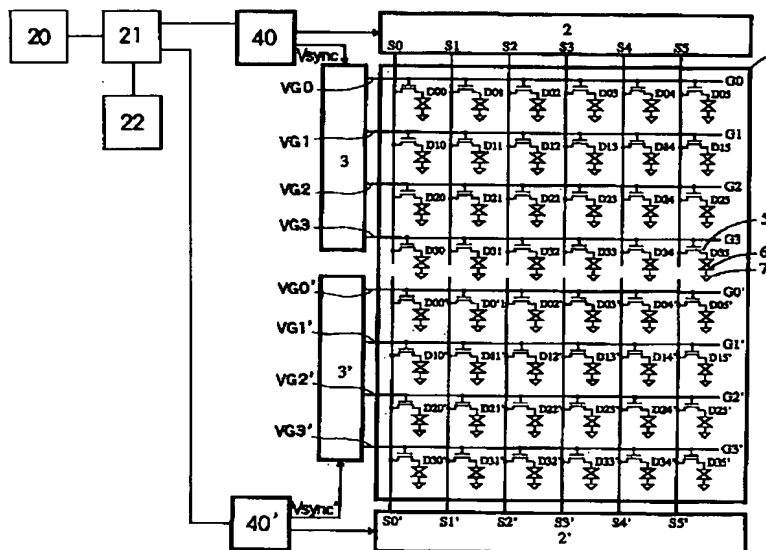


【図 9】



【図 12】

【図 5】

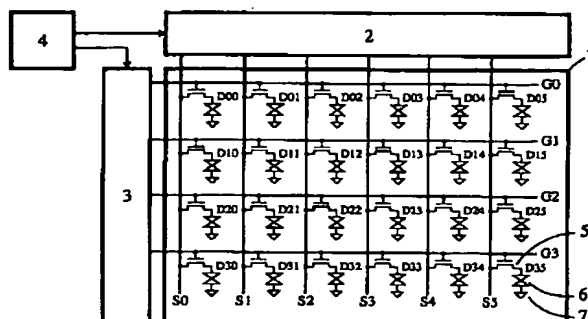


D00	D01	D02	D03	D04	D05
白	白	白	白	白	白
D10	D11	D12	D13	D14	D15
白	白	黒	黒	白	白
D20	D21	D22	D23	D24	D25
白	白	黒	黒	白	白
D30	D31	D32	D33	D34	D35
白	白	白	白	白	白

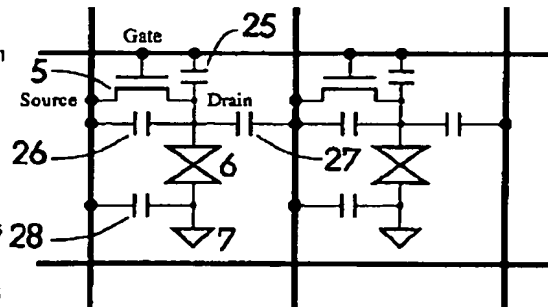
【図 15】

白	黒	白	黒	白	黒	黒
黒	白	黒	白	黒	白	黒
白	黒	白	黒	白	黒	白
黒	白	黒	白	黒	白	黒
白	黒	白	黒	白	黒	白
黒	白	黒	白	黒	白	黒

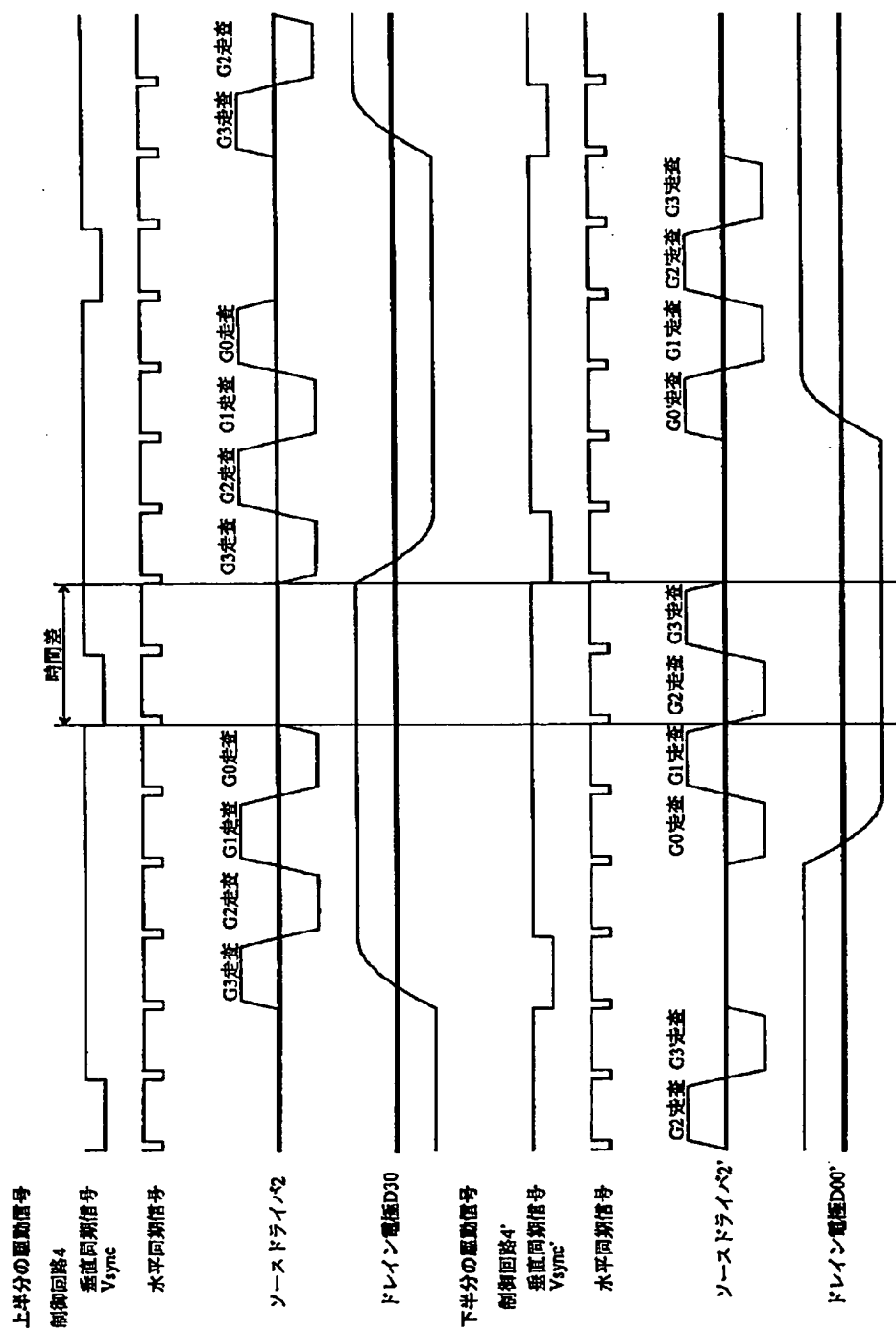
【図 8】



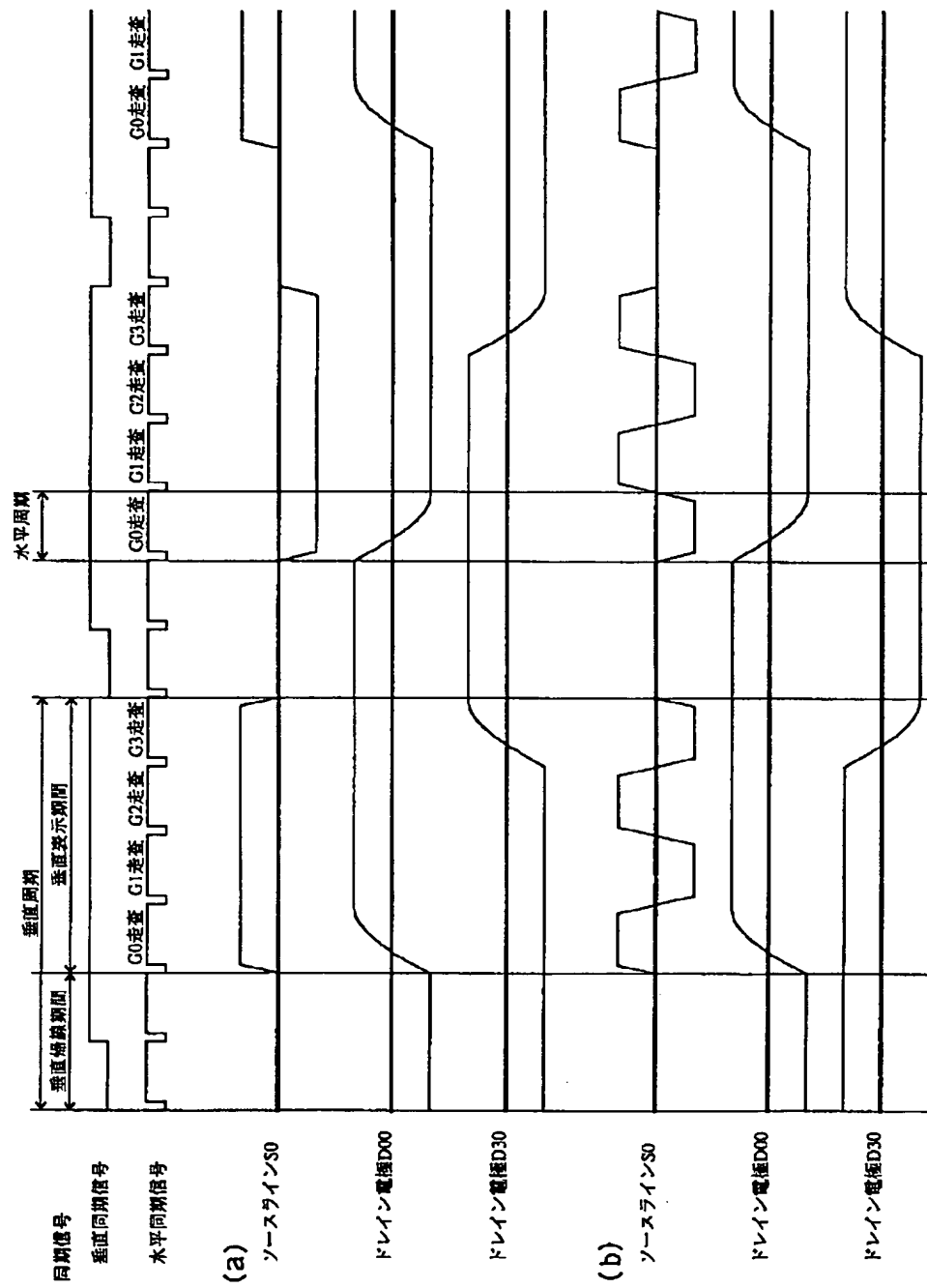
【図 10】



【図6】



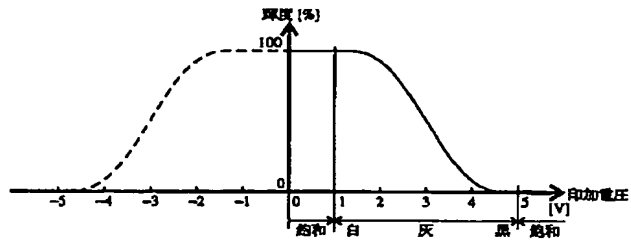
【図11】



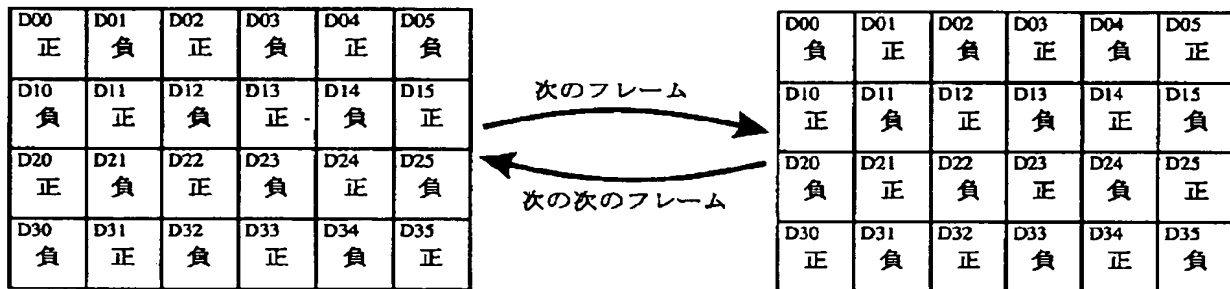
【図 13】

D00	白	D01	白	D02	灰	D03	灰	D04	白	D05	白
D10	白	D11	白	D12	黒	D13	黒	D14	白	D15	白
D20	白	D21	白	D22	黒	D23	黒	D24	白	D25	白
D30	白	D31	白	D32	灰	D33	灰	D34	白	D35	白

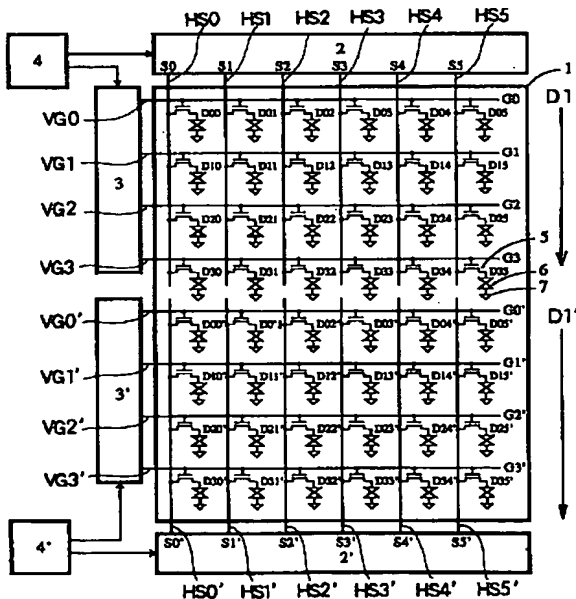
【図 16】



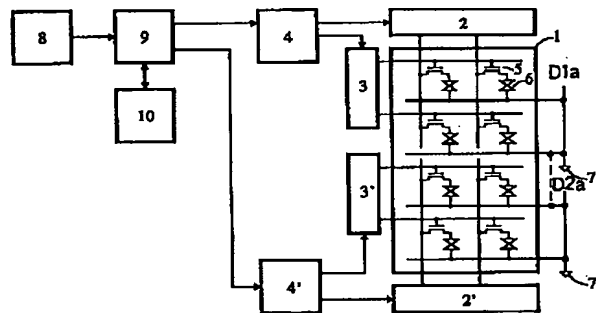
【図 14】



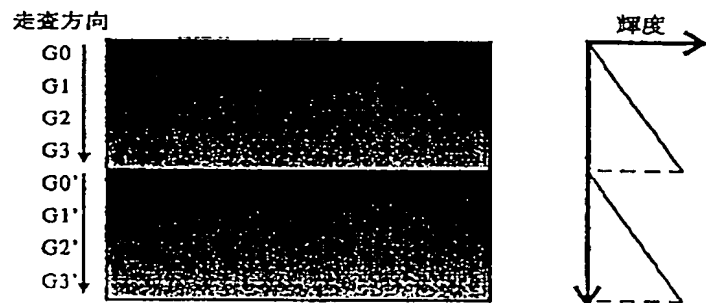
【図 18】



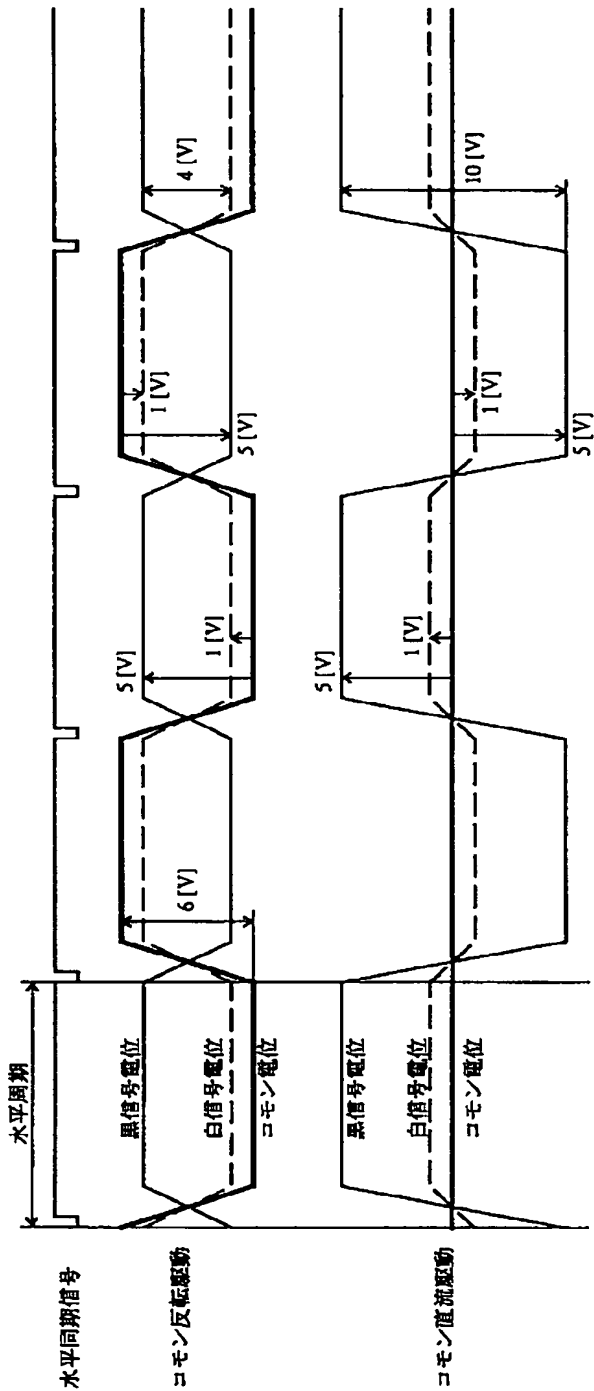
【図 20】



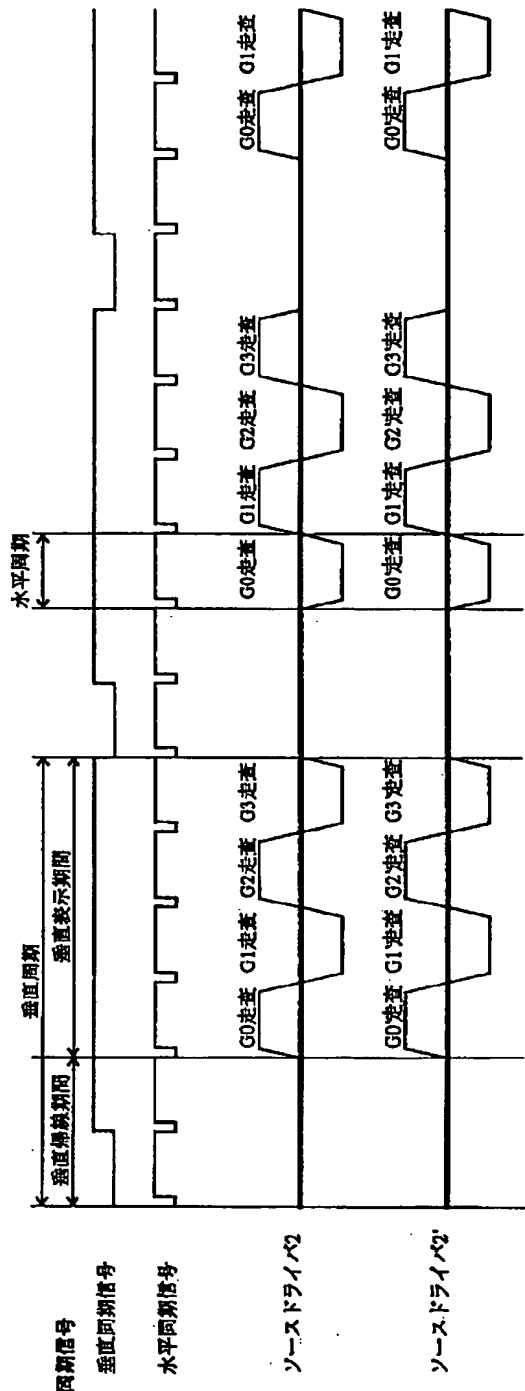
【図 21】



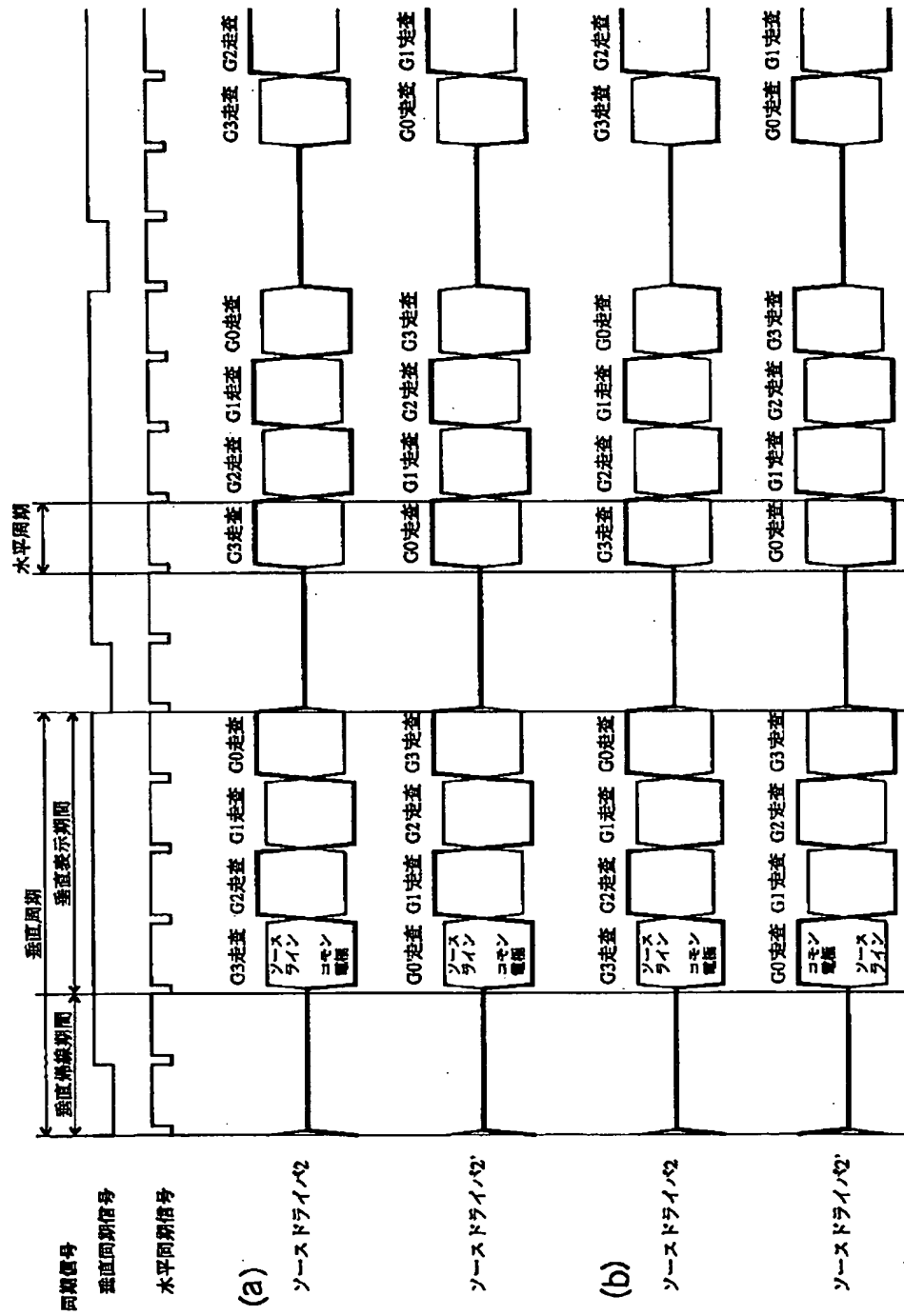
【図 1 7】



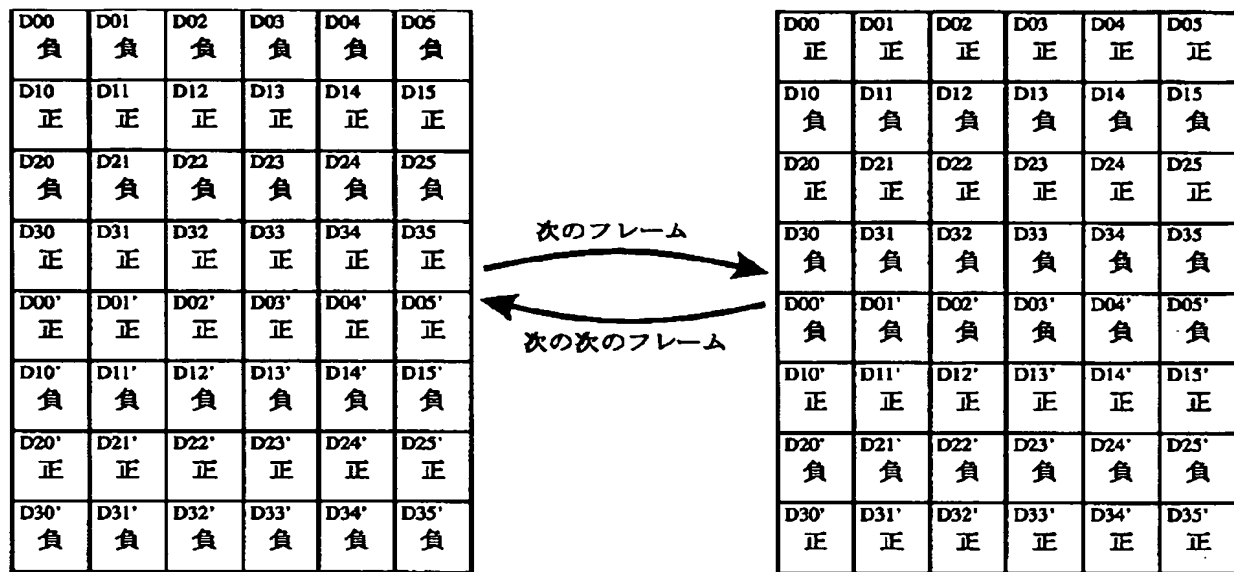
【図 1 9】



【図22】



【図 23】



(19) Japan Patent Office (JP)  
(12) Publication of Patent Application (A)  
(11) Publication Number of Patent Application: 11-102172  
(43) Date of Publication of Application: April 13, 1999  
(51) Int. Cl.<sup>6</sup> Identification Number

G09G 3/36

G02F 1/133 550

FI

G09G 3/36

G02F 1/133 550

Request for Examination: not made

Number of Claims: 15 OL (23 pages in total)

(21) Application Number Hei-9-262184  
(22) Application Date: September 26, 1997  
(71) Applicant: 000005049

Sharp Corporation

22-22, Nagaike-cho, Abeno-ku, Osaka

(72) Inventor: Hiroyuki NABESAWA

c/o Sharp Corporation

22-22, Nagaike-cho, Abeno-ku, Osaka

(72) Inventor: Toshi KAWAGUCHI

c/o Sharp Corporation

22-22, Nagaike-cho, Abeno-ku, Osaka

(72) Inventor: Mitsuyoshi SEO

c/o Sharp Corporation



22-22, Nagaike-cho, Abeno-ku, Osaka

(74) Agent: Patent Attorney, Shizuo SANO

(54) [Title of the Invention] DOT-MATRIX DISPLAY DEVICE

(57) [Abstract]

[Problem] In a dot-matrix display device in which a display screen is divided into upper and lower screens and the divided screens are simultaneously scanned, the difference in the luminance in the boundary portion of the divided screens can be eliminated, thereby increasing the quality of the display screen.

[Means for Resolution] In a dot-matrix display device in which a display screen 1 is divided into upper and lower screens and the upper and lower screens are simultaneously scanned by gate drivers 3, 3', adjacent scanning lines G3 and G0' positioned in the boundary portion between the divided upper and lower screens are scanned at the same timing. The scanning orders of the upper and lower screens are controlled so that scanning can be performed by shifting the phases of the vertical synchronizing signals of video signals, thereby eliminating the difference in the luminance of the scanning lines G3 and G0'. As a result, the display quality of the boundary portion between the divided upper and lower screens can be improved.

[Claims]

[Claim 1] A dot-matrix display device including a plurality of first signal lines extended in the vertical direction and disposed in parallel with each other and a plurality of second signal lines extended in the horizontal direction and disposed in parallel with each other, in which a pixel electrode is disposed at each intersection between the corresponding first and second signal lines via a selection device, and the pixel electrodes are selectively driven, thereby performing a display operation, wherein the first signal lines are divided into a plurality of portions vertically and in parallel with the second signal lines so as to form a plurality of display areas, the dot-matrix display device comprising: a plurality of scanning circuits corresponding to the display areas, for scanning the second signal lines in each display area in the same time zone and for scanning the second signal lines positioned in a boundary portion between the adjacent display areas substantially at the same timing; and a plurality of signal supply circuits corresponding to the display areas, for extending a display signal in a time axis according to the number of divided display areas and for supplying the display signal extended in the time axis to the first signal lines in each divided display area.

[Claim 2] The dot-matrix display device according to claim 1, wherein the scanning circuits scan the second signal lines

in the boundary portion between the adjacent display areas of the plurality of display areas at the beginning of the scanning timing for each frame of the adjacent display areas, and then sequentially scan the second signal lines in the direction away from the boundary portion.

[Claim 3] The dot-matrix display device according to claim 1, wherein the scanning circuits scan the second signal lines in the boundary portion between the adjacent display areas of the plurality of display areas at the end of the scanning timing for each frame of the adjacent display areas, and then sequentially scan the second signal lines in the direction toward the boundary portion from positions farthest away from the boundary portion.

[Claim 4] A dot-matrix display device including a plurality of first signal lines extended in the vertical direction and disposed in parallel with each other and a plurality of second signal lines extended in the horizontal direction and disposed in parallel with each other, in which a pixel electrode is disposed at each intersection between the corresponding first and second signal lines via a selection device, and the pixel electrodes are selectively driven, thereby performing a display operation, wherein the first signal lines are divided into a plurality of portions vertically and in parallel with the second signal lines so as to form a plurality of display areas, the dot-matrix display device comprising: a plurality

of scanning circuits corresponding to the plurality of display areas, for scanning the second signal lines in each display area in the direction away from a boundary portion between the adjacent display areas or in the opposite direction; a vertical synchronizing signal generating circuit for outputting vertical synchronizing signals out of phase with each other to the plurality of scanning circuits; a plurality of signal supply circuits corresponding to the display areas, for extending a display signal according to the number of divided display areas and for simultaneously supplying the display signal extended in the time axis to the first signal lines in each display area; and a frame reverse circuit for writing signals to be applied to pixels corresponding to the pixel electrodes to opposite polarities alternately in every vertical cycle or every plural of vertical cycles.

[Claim 5] The dot-matrix display device according to claim 4, wherein the time difference between the plurality of vertical synchronizing signals out of phase with each other generated in the vertical synchronizing signal generating circuit is an integral multiple of a horizontal cycle.

[Claim 6] The dot-matrix display device according to claim 4, wherein the time difference between the plurality of vertical synchronizing signals out of phase with each other generated in the vertical synchronizing signal generating circuit is an odd-numbered multiple of a horizontal cycle.

[Claim 7] The dot-matrix display device according to any one of claims 4 to 6, wherein the phase difference between the plurality of vertical synchronizing signals out of phase with each other generated in the vertical synchronizing signal generating circuit is set so that vertical retrace periods of the vertical synchronizing signals of the adjacent display areas are overlapped with each other.

[Claim 8] The dot-matrix display device according to any one of claims 4 to 7, wherein the second signal lines positioned in the boundary portion between the adjacent display areas are not scanned simultaneously.

[Claim 9] The dot-matrix display device according to any one of claims 4 to 8, wherein a period during which the pixels connected to the second signal lines positioned in the boundary portion between the adjacent display areas are written to the same polarity is shorter than a period during which the second signal lines positioned in the boundary portion between the adjacent display areas are written to the opposite polarities.

[Claim 10] The dot-matrix display device according to any one of claims 1 to 9, wherein the selection device is an active device disposed between each pixel formed of the pixel electrode and the corresponding first signal line.

[Claim 11] The dot-matrix display device according to claim 10, wherein the active device is an amorphous silicon thin film transistor.

[Claim 12] The dot-matrix display device according to any one of claims 1 to 11, wherein one terminal of each pixel formed of the pixel electrode is connected to a common electrode formed of one conductive plate.

[Claim 13] The dot-matrix display device according to claim 12, wherein a rectangular wave voltage synchronizing with a vertical synchronizing signal and/or a horizontal synchronizing signal is applied to the common electrode.

[Claim 14] The dot-matrix display device according to claim 13, wherein the plurality of signal supply circuits for supplying a signal voltage to the first signal lines are circuits having a dynamic range of at most 1/2 of a voltage deflection range required for writing the pixels formed of the pixel electrodes to the positive and negative polarities.

[Claim 15] The dot-matrix display device according to any one of claims 1 to 14, wherein the pixels formed of the pixel electrodes are liquid crystal cells.

[Detailed Description of the Invention]

[0001]

[Technical Field to which the Invention Belongs] The present invention relates to a dot-matrix display device having capacitive-load pixels to perform a display operation by line-sequential scanning, and more particularly, to a dot-matrix display device suitable for a high-definition large screen.

[0002]

[Prior Art] Currently, many notebook PC (Personal Computers) monitors and portable TV monitors use thin, light, low-powered liquid crystal display devices LCDs.

[0003] LCDs include a TFT (Thin Film Transistor) type and an STN (Super Twisted Nematic) type. Those two types are mainly used for currently mass-produced LCDs. The TFT type has the advantages over the STN type in the higher contrast, less display nonuniformity, better suitability for multilevel display, and higher response speed, though the manufacturing cost of the TFT type is higher than that of the STN type.

[0004] The structure of an LCD is first discussed mainly in the context of drive circuits. An LCD is formed of a plurality of liquid crystal cells. For example, a VGA (Video Graphic Array) color LCD has about 900,000 liquid crystal cells. More specifically, in a color filter, three liquid crystal cells having three primary colors, i.e., red, green, and blue, form one pixel, and such liquid crystal cells are disposed in a 640-column  $\times$  480-row matrix. Accordingly, the total number of liquid crystal cells are  $640 \times \text{RGB} \times 480 = 921,600$ . Then, one image is represented by this set of liquid crystal cells.

[0005] The structure of a 6-column  $\times$  4-row TFT LCD is shown in Fig. 8. The LCD shown in Fig. 8 includes a liquid crystal panel (1), a source driver (2), a gate driver (3), a control/power-supply circuit (4), TFTs (5), liquid crystal

cells (6), and common electrodes (7). The source driver (2) is also referred to as a "data driver", "column driver", "X driver", or "column-electrode drive circuit". The gate driver (3) is also referred to as a "scan driver", "row driver", "Y driver", or "row-electrode drive circuit".

[0006] In the liquid crystal panel (1), the liquid crystal cells (6) are formed in a matrix on one glass substrate. As viewed from the LCD drive circuits, the liquid crystal cells can be considered as capacitive loads. The optical characteristic of each liquid crystal cell changes according to the voltage applied to the capacitor of the cell. In a normally white LCD, the liquid crystal cells become black when the capacitors are charged, and become white when the capacitors are discharged.

[0007] The source electrode of the TFT (5) is connected to the output terminal of the source driver (2) via a source bus line, the gate electrode of the TFT (5) is connected to the output terminal of the gate driver (3) via a gate bus line, and the drain electrode of the TFT (5) is connected to the liquid crystal cell (6). The terminal of the liquid crystal cell opposite to the drain electrode is connected to the common electrode (7). Since the common electrodes (7) of all the liquid crystal cells are short-circuited with each other, they are maintained at the equal potential. Accordingly, the voltage applied to each liquid crystal cell is determined by



the potential of the drain electrode of the TFT.

[0008] The source driver (2) is a drive circuit that outputs a voltage for charging/discharging the liquid crystal cells via the TFTs. The gate driver (3) is a drive circuit that outputs a voltage for controlling the switching of the TFTs. The control/power-supply circuit (4) supplies a timing signal, a drive power supply voltage, etc. to the two types of drivers.

[0009] A TFT is one type of switching device, and the operation thereof is similar to that of an n-FET (Field Effect Transistor). Currently, a-Si (Amorphous Silicon) TFTs are generally used in large LCDs. However, a-Si TFTs have a very high on-resistance (about several  $M\Omega$ ), and the performance is much lower than that of n-FETs. The TFTs are interposed between the output terminal of the source driver and the corresponding liquid crystal cells, and the on-resistance of the TFTs and the capacitance of the liquid crystal cells have an RC time constant. Since the capacitance of a liquid crystal cell is about several pF, about several tens of time [ $\mu\text{sec}$ ] is required for charging one liquid crystal cell.

[0010] Accordingly, in an a-Si TFT LCD, the charging time is ensured by simultaneously charging one row (sometimes a plurality of rows) of liquid crystal cells during one horizontal display period. In a CRT (Cathode Ray Tube) or a poly-Si TFT LCD, a video signal is refreshed dot by dot, while in an a-Si TFT LCD, one line of video signal is simultaneously

refreshed. The first type is referred to as the "dot-sequential scanning", while the second type is referred to as the "line-sequential scanning".

[0011] In a VGA LCD, one line of  $640 \times \text{RGB} = 1920$  liquid crystal cells are simultaneously charged. It is not practical, however, to manufacture or mount an IC provided with 1920 output terminals. Currently, a plurality of source driver ICs having a small number of output terminals are mounted on one LCD. Nevertheless, the source driver is the most expensive element among the elements used in the drive circuits of an LCD, and also produces the greatest influence on the display quality.

[0012] Fig. 9 is a block diagram illustrating the source driver. It is now assumed that a video signal is input into the source driver in a digital form. The source driver shown in Fig. 9 includes a serial-parallel converter or a shift register (11), latches or flip-flops (12), digital-analog converters (DACs) 13, and output buffers or operational amplifiers (14).

[0013] In order to reduce the pin number of input terminals of the source driver IC, the video signal is serially input. After the video signal is subjected to serial-parallel conversion and is latched, analog signals are output from the DACs. To reduce the charging time of the liquid crystal cells, output buffers are generally provided between the DACs and the output terminals to perform impedance conversion. It is necessary that a video signal is supplied to the serial-

parallel converter, a timing signal is supplied to the latches, a so-called " $\gamma$ -correcting reference voltage" is supplied to the DACs, and drive power supply voltages  $+V$  and  $-V$  are supplied to the output buffers.

[0014] Instead of the digital latches, analog sample-and-hold devices may be used, in which case, DACs are not necessary. However, the use of analog devices makes it difficult to achieve the fast operation, high precision, and low cost at the same time.

[0015] For a VGA LCD, 1920 output buffers are required for one LCD. Accordingly, if one transistor is wasted in designing DACs or output buffers, 1920 transistors are wasted in the overall LCD. On the other hand, if a waste or redundancy of about several gates is produced between the video signal input terminals (not shown) and the serial-parallel converter of the LCD, an increase in the cost or power consumption caused by such a waste or redundancy does not cause any significant problem. Thus, the designing of DACs or output buffers is very important. A reduction in the number of transistors or in the idle current of the output buffers is a significant issue.

[0016] Fortunately, high-performance output buffers are not required since the output buffers of the source driver of an a-Si TFT LCD are operated in the audio band. Output buffers which have a large dynamic range with respect to a drive power supply voltage (so-called "Rail-to-Rail output" is possible)

and which produce a small output deviation without particularly requiring adjustment though the slew rate is not so high are used.

[0017] The gate driver (3) has the function of selecting a line to be subsequently charged among a plurality of gate lines. If a voltage higher than that of the source electrodes or the drain electrodes is applied to the gate line, all the TFTs connected to that line are turned ON, and if a voltage lower than that of the source electrodes or the drain electrodes is applied to the gate line, all the TFTs connected to that line are turned OFF. After finishing selecting all the lines during one vertical display period, one image is formed.

[0018] Unlike a TFT LCD, an STN LCD does not have active elements or common electrodes. One terminal of a liquid crystal cell is directly connected to the source line, and the other terminal is directly connected to the gate line (not shown).

[0019] The causes to influence the display quality of an LCD and the measures thereagainst are discussed next. Fig. 10 illustrates the capacitances floating around the TFT (5). In Fig. 10, the TFT (5), the liquid crystal cell (6), and the common electrode (7) are shown. In Fig. 10, a stray capacitance  $C_{gd}$  (25) between the gate line and the drain electrode, a stray capacitance  $C_{sd}$  (26) between the source line and the drain electrode, a stray capacitance  $C_{sp}$  (27) between the adjacent

source line and the drain electrode, and a stray capacitance  $C_{sc}$  (28) between the source line and the common electrode are also shown.

[0020] The electric charge charged in the liquid crystal cells is gradually discharged with the insulation resistance therebetween. Accordingly, even when a still image is displayed, it is necessary to recharge the liquid crystal cells in every vertical cycle.

[0021] As stated above, the liquid crystal cells are capacitive loads. The capacitors have no polarity, and the optical response is the same regardless of whether they are positively or negatively charged. It is not preferable that the liquid crystal cells are charged to the same polarity for a long period since the display quality is deteriorated. In a normally white LCD, the application of a voltage makes liquid crystal cells black. If a black image continues to be displayed in this type of LCD for a long period, an afterimage (burn-in) may occur. This is because a very small quantity of ions contained in the liquid crystal materials is migrated to the electrodes, making the response worse.

[0022] The countermeasure against this phenomenon is to reverse the charging polarity for the liquid crystal cells alternately in every vertical cycle. In this specification, this is referred to as the "frame reverse". As a result of the frame reverse, a rectangular-wave AC voltage of 30 to 35

[Hz], which is one half the vertical cycle 60 to 70 [Hz], is applied to each liquid crystal cell.

[0023] However, the use of the frame reverse causes a reduction in another type of display quality due to its side effect. It is now assumed that a solid black color is displayed on the overall LCD surface shown in Fig. 8. In this case, it is assumed that scanning is performed from the top to the bottom, i.e., in the order of gate lines G0, G1, G2, and G3. The potential of the source line S0 and the potential of the drain electrodes D00 and D30 when the potential of the common electrode is considered as 0 [V] are shown in Fig. 11(a). The source driver in this example does not output effective signals during a vertical retrace period.

[0024] The electric charge charged in the liquid crystal cells is gradually discharged to the source line with the off-resistance of the TFT or the insulation resistance therebetween (not shown). The discharging amount becomes larger as the state in which a large potential difference between the source line and the drain electrode is maintained for a longer period. When the potential of the source line is reversed, the electric charge escapes from the liquid crystal cell toward the source line via the stray capacitance  $C_{sp}$ . The liquid crystal cell D00 is immediately recharged after the source line is reversed, i.e., after the potential of the electric charge escapes from the liquid crystal cell, thus being resistant to the influence

of the reversing of the potential of the source line. In contrast, the liquid crystal cell D30 remains unchanged for a while after the electric charge escapes from the liquid crystal cell, thus being vulnerable to the influence of the reversing of the potential of the source line.

[0025] The amount by which the electric charge escapes from the drain electrode toward the source line is determined, not by the distance from the source driver to the liquid crystal cells, but by the time from when the polarity of the output signal of the source driver is changed due to the field reverse to when the charging of the liquid crystal cells is started.

[0026] In this example, the electric charge more easily escapes from the liquid crystal cells driven by the gate line G3 than that from the liquid crystal cells driven by the gate line G0. When the electric charge escapes, a pure black color cannot be represented, resulting in the display of a gray-like color. Accordingly, even if it is desired that a uniform, solid black color be displayed, in practice, the black color becomes grayer as the screen goes toward the bottom. In this specification, this phenomenon is referred to as the "gradation of the contrast".

[0027] To prevent the gradation of the contrast, the charging polarity for the liquid crystal cells is reversed alternately in every horizontal cycle. Then, the potential of the source line is frequently reversed, thereby making the overall screen

uniformly gray. The gray-like color on the overall screen can be solved by slightly increasing the amplitude of the output voltage of the source driver. In this specification, this is referred to as the "line reverse". Generally, the line reverse is used together with the frame reverse.

[0028] The use of the line reverse causes repeated charging and discharging of the stray capacitance  $C_{sc}$  between the source line and the common electrode alternately in every horizontal cycle, thereby increasing the current consumption of the source driver. Additionally, the display nonuniformity, which is referred to as "crosstalk" or "shadowing", is encouraged.

[0029] The potential of the source line S0 and the potentials of the drain electrodes D00 and D30 when the line reverse is effected are shown in Fig. 11(b). In the line reverse, since the average value (DC components) of the voltages applied to the source lines during one vertical cycle becomes 0, the gradation of the contrast can be overcome. However, as far as one vertical cycle is concerned, the voltage p-p (Peak-To-Peak) value is greater than that shown in Fig. 11(a). If a high-frequency signal having a large amplitude is transmitted to the source line, the potential of the drain electrode is deflected via the stray capacitance  $C_{sd}$ , thereby disturbing the voltage applied to the liquid crystal cells that are not being scanned.

[0030] If the line reverse is effected, an AC signal having



a cycle twice as long as one horizontal cycle is transmitted to the source line. Even if the line reverse is not effected, the same cycle of the AC signal is transmitted to the source line. However, this does not cause any problem since a signal amplitude is small unless a solid color is displayed on the screen. If the polarity of the output voltage of the source driver is reversed alternately in every horizontal cycle, an AC signal having a large amplitude is transmitted to the source line.

[0031] It is now desired that an image shown in Fig. 12, that is, a black square in a solid white color, is displayed in the LCD shown in Fig. 8. The signal transmitted to the source line is partially written into the liquid crystal cells that are not selected by the gate driver via the stray capacitance  $C_{SD}$  because the source line and the drain electrodes are AC-short-circuited. For example, when the gate line G1 is selected so that the liquid crystal cell D12 is charged, the liquid crystal cells D00, D22, and D32 are also slightly charged. As a result, the portions above and below the black square become gray, thereby extending the black color outside the black square, as shown in Fig. 13.

[0032] To overcome this situation, the capacitance of the liquid crystal cells should be sufficiently greater than the stray capacitance  $C_{SD}$ . However, it is difficult to generate a large capacitance on the liquid crystal panel. Also, the

time required for charging the liquid crystal cells is proportional to the capacitance thereof. The insufficient recharging of the liquid crystal cells deteriorates the display quality. Although the charging time can be reduced by decreasing the on-resistance of the TFTs, this method increases the cost of the gate driver or reduces the reliability.

[0033] Another measure against the above-described situation is discussed below. The stray capacitance  $C_{SD}$  (6) is interposed between the drain electrode and the adjacent source line, as shown in Fig. 10. Thus, the liquid crystal panel is designed so that  $C_{SD}=C_{SD'}$ , and the LCD is driven by transmitting AC signals having opposite phases to the adjacent source lines.

[0034] It is now assumed that a solid black color is displayed on the overall screen. In this case, the video signals having opposite polarities are transmitted to the adjacent source lines. When the potential of the common electrode is 0, the absolute values of the potentials of the adjacent source lines become the same, although the signs are different. Accordingly, if  $C_{SD}=C_{SD'}$ , the fluctuations of the potential of the source lines are offset, thereby eliminating the influence on the potential of the drain electrodes.

[0035] In this specification, the driving of the adjacent source lines with the different polarities is referred to as the "dot reverse". The dot reverse also advantageously prevents the signal transmitted to the source line from

influencing the potential of the common electrode via the stray capacitance  $C_{sc}$ . However, the dot reverse cannot be used in a common-reverse driving LCD, which is described below.

[0036] The use of a combination of the frame reverse, line reverse, and dot reverse charges each liquid crystal cell of the  $6 \times 4 = 24$ -dot LCD shown in Fig. 8 with the polarities shown in Fig. 14. In principle, the frame reverse is effective only when a still image is displayed. However, a certain effect can be produced on moving pictures having a slow motion. There is almost no problem if the frame reverse is applied to moving pictures having many scene changes. However, if blinking objects are displayed, the effect may be reduced to a half.

[0037] The line reverse is effective when a solid color screen is displayed. However, a certain effect can be produced on images having many DC components. Generally, since a video signal contains many DC components, it is highly likely that the line reverse produces the effect on the video signal.

[0038] The dot reverse is effective for a solid, white, gray, or black screen. It is less effective for a solid, red, green, blue, cyan, magenta, or yellow screen. In a color LCD, generally, three liquid crystal cells having red, green, and blue colors are simultaneously charged by three source lines. Accordingly, although, for example, a solid red color on the overall screen is apparently a solid screen, it is not solid as viewed from the source driver. The dot reverse is very

effective for a screen having many solid white color components and black components, such as that shown in Fig. 12.

[0039] The line reverse or the dot reverse produces the least effect on a checkerboard pattern image, such as that shown in Fig. 15. As is well known, this type of image has highest-frequency components.

[0040] However, this does not cause any problem as long as the line reverse or the dot reverse is used in a liquid crystal TV monitor because, in practice, that type of image cannot be transmitted via analog TV broadcast waves. On the other hand, the use of the line reverse or the dot reverse in an OA (Office Automation) terminal causes a serious problem. In an OA machine, halftones are sometimes represented by dithering, in which case, the effect of the line reverse or the dot reverse is considerably reduced depending on the conditions. As a matter of fact, the display quality is sometimes seriously deteriorated in the closing screen of Windows 95.

[0041] As a technique similar to dithering, a technique, which is referred to as the "FRC (Frame Rate Control)", for displaying halftones by causing pixels to blink at high speed is available. The use of this technique reduces the effect of the frame reverse. To overcome this drawback, the reversing of the polarity in every two vertical cycles is possible. In this specification, the drive method for reversing the polarity in every plural of vertical cycles is also included in the frame

reverse.

[0042] The luminance of LCDs is becoming increased by raising the numerical aperture of liquid crystal panels. This increases the size of the drain electrodes, resulting in a smaller distance between the source line and the drain electrodes. As the distance becomes smaller, the stray capacitance  $C_{sd}$  becomes larger, and the influence on the display quality cannot be ignored.

[0043] There is an increasing demand for higher-resolution and higher-definition LCDs as products. To increase the resolution in the horizontal direction of an LCD, the total number of output terminals of the source driver should be increased. In this case, this does not directly lead to a reduction in the display quality, though the mounting of ICs and the fast transmission of video signals are technical problems to be solved. Meanwhile, to increase the resolution in the vertical direction of an LCD, the total number of output terminals of the gate driver should be increased, and also, the horizontal cycle should be reduced. In this case, in addition to the above-described technical problems, a reduction in the charging time is an important issue. Additionally, as the horizontal cycle is shorter, a higher frequency signal is transmitted to the source line, thereby making the problem of the stray capacitance  $C_{sd}$  even more serious.

[0044] Not only the signal transmitted to the source line, but also an AC signal transmitted to the gate line influences the potential of the drain electrode via the stray capacitance  $C_{GD}$ . It is now assumed that, when the potential of the gate line is -10 [V], the TFT is turned OFF, and when the potential of the gate line is 20 [V], the TFT is turned ON. By increasing the potential of the gate line from -10 [V] to 20 [V], the potential of the drain electrode is also increased because of the presence of the stray capacitance  $C_{GD}$ .

[0045] However, once the TFT is turned ON, the recharging of the drain electrode by the source driver is started, and thus, an increase in the potential of the drain electrode does not cause any problem. Conversely, by decreasing the potential of the gate line from 20 [V] to -10 [V], the potential of the drain electrode is also reduced. Immediately after this, the TFT is turned OFF, and the potential of the drain electrode is maintained at the low level. That is, the electric charge supplied from the source line to the drain electrode is disadvantageously drained by the gate line.

[0046] However, the countermeasure against the influence of the stray capacitance  $C_{GD}$  is relatively easy. This is because the signal transmitted to the gate line is already known in the designing stage, while the signal transmitted to the source line changes according to the image displayed. Additionally, among the 480 gate lines in a VGA LCD, an AC signal flows in

only one line that is being scanned. Accordingly, to avoid the influence of the stray capacitance  $C_{GD}$ , the output voltage of the source driver is adjusted in advance by considering the influence of the stray capacitance  $C_{GD}$ .

[0047] As discussed above, because of the stray capacitance  $C_{GD}$  (8) or  $C_{SD}$  (9) shown in Fig. 10, the TFT does not function properly as the switching device for high frequency signals. The stray capacitance between the gate line and the source line does not influence the potential of the drain electrode, and thus, it is not shown in Fig. 10.

[0048] The common reverse driving is described below. An example of the relationship between the voltage applied to the liquid crystal cell and the luminance of the pixel is shown in Fig. 16. The actual characteristic slightly varies according to the type of liquid crystal material. In this case, it is assumed that, when 1 [V] is applied, the liquid crystal cell becomes white, and when 5 [V] are applied, the liquid crystal cell becomes black. In a region from 0 [V] to 1 [V] or a region over 5 [V], the optical characteristic is saturated. When a negative voltage is applied to the liquid crystal cell, the same characteristic as that when a positive voltage having the same absolute value is applied is exhibited.

[0049] When the liquid crystal cell has the characteristic shown in Fig. 16, the LCD can be apparently driven if the source driver can output a voltage from 1 [V] to 5 [V]. However, to

drive the LCD by reversing the polarity, voltages having both positive and negative polarities must be output. In practice, therefore, the dynamic range from -5 [V] to 5 [V] is required.

[0050] In this case, however, a source driver cannot be manufactured with a standard 5 [V] withstand-voltage process. If a 10 [V] withstand-voltage process is employed, the chip size of the source driver is increased, resulting in an increase in the cost. Accordingly, the so-called "common reverse driving" may be used. In this method, the potential of the common electrode is deflected.

[0051] Fig. 17 illustrates a horizontal synchronizing signal, the potential of the common electrode, the potential of a black video signal, and the potential of a white video signal when the line reverse driving and the common reverse driving are used together. In the common reverse driving, a rectangular wave, such as that shown in Fig. 17, is input into the common electrode. In this example, the potential of the common electrode is deflected with the amplitude of 3 [V] in every horizontal cycle. That is, the cycle of the rectangular wave is twice as long as the horizontal cycle, and the p-p value is 6 [V]. In this case, although the source driver has only a dynamic range of 4 [V],  $\pm 5$  [V] voltages are applied to the liquid crystal cell.

[0052] The common reverse driving makes it possible to reduce the manufacturing cost of the source driver. Additionally,



since the output buffers of the source driver can be driven by a 4 [V]-power supply source, the power consumption can be reduced. On the other hand, a circuit for supplying a rectangular wave to the common electrodes is required. If the common reverse driving is employed, the dot reverse cannot be performed, though the frame reverse or line reverse can be performed.

[0053] In contrast, the method for applying a DC voltage to common electrodes by using a source driver manufactured by a 10 [V] withstand-voltage process is referred to as the "common DC driving" in this specification. For example, when the potential of the common electrode is maintained at 5 [V], a voltage from 6 to 10 [V] is supplied from the source driver to positively charge the liquid crystal cell, and a voltage from 0 to 4 [V] is supplied from the source driver to negatively charge the liquid crystal cell. The potential of the common electrode, the potential of the black video signal, and the potential of the white video signal in the common DC driving are also shown in Fig. 17.

[0054] To make the most use of the advantages of the common DC driving, the dot reverse is generally performed. In this case, a positive signal and a negative signal are simultaneously output from different output buffers of the same source driver IC.

[0055] Since the signals having the opposite polarities are

simultaneously output, the DACs within the source driver in the common DC driving are twice as large as those in the common reverse driving, resulting an increase in the chip size of the IC. The number of  $\gamma$ -correcting reference voltages supplied to the DACs is also doubled, and the number of terminals between the IC and the printed circuit board is increased, thereby making the mounting operation difficult. Additionally, since the output buffers of the source driver are driven by a power supply of 10 [V], the power consumed in the buffers is increased to more than twice. An increase in the power consumption becomes problematic particularly when the LCD is used in a battery-driven portable unit monitor.

[0056] The common reverse driving is suitable for LCDs having relatively low resolution and causing crosstalk very little or LCDs (such as those for palm-top PCs or projectors) having a narrow dot pitch (which makes the mounting operation difficult). The common DC driving is suitable for large, high-resolution LCDs (such as those for desk-top PCs) which do not have to be battery driven. For notebook PC LCDs, the common reverse driving and the common DC driving have both advantages and drawbacks, and it is difficult to decide which is more suitable for notebook PC LCDs. Both the line reverse and the dot reverse increase the power consumption, and it is also difficult to decide which is more advantageous.

[0057] If the number of pixels is increased by increasing the

number of horizontal or vertical lines in order to implement a high-resolution, large-screen display device, the time for charging each pixel is decreased in proportion to the number of pixels unless the time for one field is extended. However, a minimal time is required for charging each pixel, and each pixel cannot be sufficiently charged if the number of pixels is increased. Accordingly, it is difficult to increase the number of pixels sufficiently.

[0058] To solve this problem, the following technique is proposed in Japanese Unexamined Patent Application Publication No. 7-281648. In a liquid crystal display device having a plurality of first signal lines (source lines) extended in the vertical direction and disposed in parallel with each other and second signal lines (gate lines) extended in the horizontal direction and disposed in parallel with each other, in which a liquid crystal cell is disposed at each intersection between the corresponding first signal line and the second signal line via a selection device (TFT), the first signal lines are divided into two or more portions in the vertical direction, and signals are independently supplied to the second signal lines according to the divided portions of the first signal lines, and also, a display signal is extended in a time axis according to the number of divided portions and is supplied to the divided first signal lines. With this configuration, the charging time for the liquid crystal cells

can be relatively increased by extending the display signal in the time axis, thereby making it possible to increase the number of pixels.

[0059] A 6-column  $\times$  8-row display device formed by two 6-column  $\times$  4-row display devices by dividing first signal lines into two portions is discussed below by way of example. A plurality of the first signal lines extended in the vertical direction and disposed in parallel with each other are divided, as shown in Fig. 18, into S0 through S5 and S0' through S5' in the vertical direction.

[0060] Then, switching devices (5), each being formed of an N-channel FET at one terminal being connected, are disposed at the intersections between the first signal lines S0 through S5 and S0' through S5' and the second signal lines G0 through G3 and G0' through G3'. Scanning signals VG0 through VG3 and VG0' through VG3' are supplied from gate drivers (3) and (3'), respectively, to the switching devices (5) in the scanning directions D1a and D2a. That is, both the upper half portion and the lower half portion of the screen are scanned from the top to the bottom.

[0061] The other terminal of each switching device (5) is connected to a counter electrode COM terminal (7) via a liquid crystal cell (6). Display signals assigned to the upper half portion and the lower half portion of the screen are supplied from a control/power supply circuit (4) to source drivers (2)

and (2')). The display signals corresponding to the selected second signal lines are output from the source driver (2) as HS0 through HS5 and from the source driver (2') as HS0' through HS5', as shown in Fig. 19.

[0062] The signals indicated in this example are black video signals, and the field reverse and the line reverse are performed together. In this case, the scanning signals VG0 and VG0' are simultaneously output and sequentially selected. After the scanning signals VG3 and VG3' are simultaneously selected, scanning is shifted to the subsequent field and is started again from the scanning signals VG0 and VG0'.

[0063] With this configuration, since two liquid crystal cells can be simultaneously charged, the liquid crystal cells can be charged by extending the display signals in the time axis without the need to extend the time for one field. Although in this example the number of divided portions are two, it can be increased into more than two, and the number of pixels can be further increased without worrying about the insufficient charging time. Thus, by using the technique for driving an S-VGA (Super Video Graphic Array), i.e., 800-column  $\times$  600-row LCD, an U-XGA (Ultra Extended Video Graphic Array), i.e., a 1600-column  $\times$  1200-row LCD can be implemented.

[0064] If the above-described technique is applied to a CRT, a joint portion between monitors becomes noticeable. In contrast, for an LCD, if a liquid crystal panel (1) shown in

Fig. 18 is extracted from one mother glass substrate, monitors without any joint portion can be produced. A break in the source line passing through the center of the screen is not noticeable to the human eye. This enables the user to use the LCD as a single monitor without producing any sense of artificiality.

[0065] In the LCD shown in Fig. 18, although there is no joint portion on the display screen, the drive circuits are divided into the upper drive circuit and the lower drive circuit. Then, the liquid crystal cells of the upper half and the liquid crystal cells of the lower half of the liquid crystal panel are independently and simultaneously scanned. In this specification, this is referred to as the "screen dividing scanning".

[0066] An example of the application of an LCD is discussed below with reference to Fig. 20. The LCD shown in Fig. 20 includes a liquid crystal panel (1), source drivers (2) and (2'), gate drivers (3) and (3'), control/power-supply circuits (4) and (4'), TFTs (5), liquid crystal cells (6), common electrodes (7) and (7'), a video signal source (8), a control circuit (9), and a memory (10).

[0067] If the LCD is used in a monitor for receiving high-definition TV broadcasts, the video signal source (8) is a tuner, the control circuit (9) is a scanning conversion circuit, and the memory (10) is an image memory. The control

circuit (9) converts a video signal from a TV station so that dividing scanning can be performed, and allocates the converted video signals into the control circuits (4) and (4'). If the LCD is used in a PC monitor, the video signal source (8) is a microprocessor, the control circuit (9) is a video controller, and the memory (10) is a video RAM (Random Access Memory).

[0068] Although the common electrodes (7) and (7') are shown as narrow conductors in Fig. 20, they are actually a conductive film extending on one glass surface. The upper-half common electrode (7) and the lower-half common electrode (7') of the liquid crystal panel shown in Fig. 20 are short-circuited with each other. The reason for this is to reduce the manufacturing cost.

[0069] A liquid crystal panel in a TFT LCD is manufactured by sealing liquid crystal materials between a glass substrate on which TFTs and bus lines are formed and a glass substrate on which common electrodes are formed on the overall surface. The first glass substrate requires complicated operations, and thus, many manufacturing steps are required and the manufacturing cost is accordingly high. The second glass substrate can be manufactured merely by forming a solid pattern of transparent conductive materials. Accordingly, even if an extra work is done for the bus lines, the manufacturing facilities, steps, and cost are not much different from those of currently available products. However, if an extra work

is done for the common electrodes, the cost is significantly increased. If a conductive film is formed on the overall surface of one glass substrate, the common electrodes (7) and (7') are inevitably short-circuited.

[0070]

[Problems to be Solved by the Invention] As in the above-described related art, the gate drivers (3) and (3') simultaneously output the selection signals VG0 and VG0' to sequentially scan the independent second signal lines in the same direction, i.e., in the scanning directions D1a and D2a, respectively, and finally, VG3 and VG3' are simultaneously selected. The scanning is then shifted to the subsequent field and is started again from VG0 and VG0'. In this case, the liquid crystal cells (6) connected to the final gate line G3 selected by the gate driver (3) and the liquid crystal cells (6) connected to the first gate line G0' selected by the gate driver (3') are adjacent to each other across the boundary portion, and the charging timing for the liquid crystal cells (6) connected to the final gate line G3 is different from that for the liquid crystal cells (6) connected to the first gate line G0' by 1/2 of the time equal to one frame.

[0071] Accordingly, the influence of the adjacent first signal lines S0 through S5 on the liquid crystal cells before they are recharged in the subsequent field is different from the influence of the adjacent first signal lines S0' through



S5' on the other liquid crystal cells. Fig. 19 is a timing chart of the LCD configured as described above when a solid color is displayed by using the field reverse and the line reverse together.

[0072] It is now assumed, for example, that a COM signal of the counter electrode (7) is reversed in every field. When the same color, for example, a black color, is displayed in the entire field, all the liquid crystal cells (6) are charged with the same display signal. The liquid crystal cells (6) connected to the gate line G0' of the gate driver (3') are charged at the beginning of the field, while the capacitors (6) connected to the gate line G3 of the gate driver (3) are charged with the display signal at the end of the field.

[0073] Since all the liquid crystal cells (6) are charged with the same display signal, the level of the display signal charging the liquid crystal cells (6) connected to the gate line G0' is equal to the signal level of the source lines S0' through S5'. Accordingly, after the liquid crystal cells (6) connected to the gate line G0' are charged, the influence of the source lines S0' through S5' is very small, and a deterioration of the display signal charging the liquid crystal cells (6) is small.

[0074] On the other hand, immediately after the liquid crystal cells (6) connected to the gate line G3 of the gate driver (3) are charged with the display signal at the end of the field,

scanning is shifted to the subsequent field. Then, the COM signal of the counter electrode (7) is reversed, and the display signal is reversed accordingly.

[0075] Accordingly, the level of the display signal charging the liquid crystal cells (6) connected to the gate line G3 is different from the signal level of the source lines S0 through S5. Accordingly, the influence of the source lines S0 through S5 on the liquid crystal cells (6) connected to the gate line G0' is greater than that of the source lines S0' through S5' on the liquid crystal cells (6) connected to the gate lines G0' through G3'. A deterioration of the display signal charging the liquid crystal cells (6) connected to the gate line G3 is large.

[0076] Thus, the display condition is different between the liquid crystal cells (6) connected to the gate line G3 and the liquid crystal cells (6) connected to the gate line G0', the gate lines G3 and G0' facing across the boundary in the vertical (Y axis) direction. The same applies to the cells around the boundaries in the divided portions. Thus, in the overall screen, a difference in the luminance is generated around the boundaries.

[0077] As discussed above, the upper half and the lower half of the screen are scanned from the top to the bottom, and more specifically, the upper half is scanned in the order of the gate lines G0, G1, G2, and G3 and the lower half is scanned

in the order of G0', G1', G2', and G3'. In this case, even if a black video signal is input into the overall screen to display a uniform solid black color on the LCD, the gradation of the contrast occurs, as shown in Fig. 21, and a joint portion, which is generally unnoticeable, appears in the boundary portion between the divided two upper and lower screens.

[0078] The reason for this is as follows. In the frame reverse, as the time from when the polarity of the output voltage of the source driver is reversed to when the liquid crystal cells are recharged becomes longer, the electric charge escapes from the liquid crystal cells more easily, which decreases the contrast. In the line reverse, the gradation of the contrast is alleviated as long as a video signal having many DC components is displayed. However, this does not solve the entire problem.

[0079] When the screen is divided into two upper and lower half portions and when the upper and lower portions are scanned from the top to the bottom, as stated above, the gradation of the contrast occurring in the boundary portion between the divided upper and lower portions of the screen can be eliminated by simultaneously scanning the upper portion from the top to the bottom and the lower portion from the bottom to the top.

[0080] In this case, the liquid crystal cells located around the boundary portion of the upper and lower portions are almost equally charged, and thus, the difference in the contrast is

not as distinct as that shown in Fig. 21. However, the charging time for the liquid crystal cells around the boundary portion becomes shorter than the other liquid crystal cells. Accordingly, when a solid black color is displayed, the portion around the boundary portion becomes gray, and a slight level of the gradation of the contrast occurs. The gradation of the contrast appears horizontally at the center of the screen, which is not desirable.

[0081] The gradation of the contrast in a gray color appearing horizontally at the center of the screen can be eliminated by simultaneously scanning the upper portion from the bottom to the top and the lower portion from the top to the bottom.

[0082] In this case, since the liquid crystal cells located around the boundary portion between the upper and lower screens are almost equally and sufficiently charged, the area around the boundary portion does not become gray as described above when a solid black color is displayed. However, areas around the top and bottom edges of the screen, i.e., the top edge of the upper screen and the bottom edge of the lower screen, cannot be sufficiently charged, and those areas become gray when a solid black color is displayed. This prevents the user from displaying important issues at the top and bottom edges of the screen.

[0083] If the gate lines G3 and G0' located adjacent to the upper and lower screens are simultaneously scanned, two

problems are presented. The first problem is that only the liquid crystal cells connected to the gate line G3 or G0' become brighter or darker than the other liquid crystal cells, as described above. This makes it appear that a bright line or a dark line is running on the screen.

[0084] When the TFT is turned OFF, that is, when the potential of the gate line is lowered, the potential of the drain electrode is influenced via the stray capacitance  $C_{gd}$  between the gate line and the drain electrode, as discussed above. In known LCDs which do not perform dividing scanning, or an LCD, such as that shown in Fig. 19, the influence on the potential of the drain electrode is equal regardless of which gate line is being scanned, and it is easy to take measures against the influence of the stray capacitance  $C_{gd}$ .

[0085] However, if the adjacent gate lines G3 and G0' are simultaneously scanned, the distribution of the electric field around those gate lines during scanning becomes very different from that around other two gate lines located separated from each other. Accordingly, the degree of the influence of the stray capacitances, such as  $C_{gd}$ , is different when the two central lines are scanned.

[0086] When designing drive circuits for an LCD, the output voltage of the source driver is adjusted in advance to cancel the influence of  $C_{gd}$ . However, if the gate lines G3 and G0' are simultaneously scanned, the amount by which the output

voltage of the source driver is adjusted should be changed according to the line which is being scanned. Otherwise, the luminance of the two central lines at the center of the screen becomes different from that of the other lines. If the adjustment amount is made variable, the control circuit or a circuit for generating  $\gamma$ -correcting reference signals becomes complicated, thereby causing the problems of the cost and the reliability.

[0087] The second problem is that the line reverse driving for reversing the polarity alternately in every line cannot be performed in a common-reverse-driving source driver. Fig. 22(a) illustrates an example of a signal waveform when the LCD shown in Fig. 18 is driven in a common-reverse-driving source driver. In this case, it is also assumed that a black video signal is output from the source driver. In this example, the field reverse and the line reverse are used together. When the common reverse driving is employed, the signals of the same polarity are always output from the source driver (2) assigned to the upper half screen and the source driver (2') assigned to the lower half screen.

[0088] The polarities of the voltage applied to the liquid crystal cells are shown in Fig. 23. Fig. 22(a) shows that the line reverse is not correctly performed on the two lines G3 and G0' at the center of the screen. Then, the electric lines of force around the liquid crystal cells connected to the gate

lines G3 and G0' become different from those around the other liquid crystal cells. The liquid crystal cells are pixels utilizing the characteristic of the molecules of liquid crystal materials being directed toward the electric lines of force. Accordingly, the nonuniformity of the electric lines of force is fatal. This causes the problem that only the two lines at the center of the screen become too bright or too dark.

[0089] Immediately after the liquid crystal cells on the gate line G0 shown in Fig. 18 are charged, that is, right before the charging of the liquid crystal cells on the gate line G1 is started, the liquid crystal cells on the gate lines G0 and G1 are charged to the same polarity. However, after the lapse of one horizontal cycle, the liquid crystal cells on the gate line G1 are charged to the polarity opposite to the polarity of the liquid crystal cells on the gate line G0. Such a temporal abnormality does not seriously influence the visual quality.

[0090] On the other hand, the abnormality shown in Fig. 22(a) is not temporal. The abnormality originates from the fact that the liquid crystal cells connected to the adjacent gate lines G3 and G0' are charged to the same polarity, and such a state continues for a long period.

[0091] Fig. 22(b) is a signal waveform when the liquid crystal cells on the gate lines G3 and G0' are charged to the opposite polarities. In this case, it is necessary to supply out-of-phase rectangular waveforms to the common electrode ((7)

shown in Fig. 20) of the upper half of the liquid crystal panel and the common electrode ((7') shown in Fig. 20) of the lower half. This is not applicable if the upper and lower common electrodes are short-circuited. As stated above, however, the cost is increased if two common electrodes are electrically disconnected.

[0092] Alternatively, the source drivers (2) and (2') shown in Fig. 20 can be driven by different power supply voltages. In this case, however, a digital-signal level shifter is required between the control circuit (4) and the source driver (2) or between the control circuit (4') and the source driver (2'), which causes the problems of the additional cost or the reliability.

[0093] If the common DC driving method is simply employed, the second problem can be solved. This method, however, increases the power consumption and the cost of the source driver. Also, driving a liquid crystal panel, which does not need the dot reverse driving, by the common-DC-driving source driver is not desirable in terms of the cost performance.

[0094] The present invention has been made in view of this background. That is, it is an object of the present invention to provide a dividing-scanning, high-definition LCD free from bright lines or dark lines at the center of the screen even if the scanning directions for the upper half and the lower half of a screen are opposite.



[0095]

[Means for Solving the Problems] To achieve the above-described object, the present invention includes the following means. The dot-matrix display device according to claim 1 includes a plurality of first signal lines extended in the vertical direction and disposed in parallel with each other and a plurality of second signal lines extended in the horizontal direction and disposed in parallel with each other, in which a pixel electrode is disposed at each intersection between the corresponding first and second signal lines via a selection device, and the pixel electrodes are selectively driven, thereby performing a display operation. In the dot-matrix display device, the first signal lines are divided into a plurality of portions vertically and in parallel with the second signal lines so as to form a plurality of display areas. The dot-matrix display device includes: a plurality of scanning circuits corresponding to the display areas, for scanning the second signal lines in each display area in the same time zone and for scanning the second signal lines positioned at a boundary portion between the adjacent display areas substantially at the same timing; and a plurality of signal supply circuits corresponding to the display areas, for extending a display signal in a time axis according to the number of divided display areas and for supplying the display signal extended in the time axis to the first signal lines in

each divided display area.

[0096] In the dot-matrix display device according to claim 2 in the dot-matrix display device of claim 1, the scanning circuits scan the second signal lines in the boundary portion between the adjacent display areas of the plurality of display areas at the beginning of the scanning timing for each frame of the adjacent display areas, and then sequentially scan the second signal lines in the direction away from the boundary portion.

[0097] In the dot-matrix display device according to claim 3 in the dot-matrix display device of claim 1, the scanning circuits scan the second signal lines in the boundary portion between the adjacent display areas of the plurality of display areas at the end of the scanning timing for each frame of the adjacent display areas, and then sequentially scan the second signal lines in the direction toward the boundary portion from positions farthest away from the boundary portion.

[0098] The dot-matrix display device according to claim 4 includes a plurality of first signal lines extended in the vertical direction and disposed in parallel with each other and a plurality of second signal lines extended in the horizontal direction and disposed in parallel with each other, in which a pixel electrode is disposed at each intersection between the corresponding first and second signal lines via a selection device, and the pixel electrodes are selectively

driven, thereby performing a display operation. In the dot-matrix display device, the first signal lines are divided into a plurality of portions vertically and in parallel with the second signal lines so as to form a plurality of display areas. The dot-matrix display device includes: a plurality of scanning circuits corresponding to the plurality of display areas, for scanning the second signal lines in each display area in the direction away from a boundary portion between the adjacent display areas or in the opposite direction; a vertical synchronizing signal generating circuit for outputting vertical synchronizing signals out of phase with each other to the plurality of scanning circuits; a plurality of signal supply circuits corresponding to the display areas, for extending a display signal according to the number of divided display areas and for simultaneously supplying the display signal extended in the time axis to the first signal lines in each display area; and a frame reverse circuit for writing signals to be applied to pixels corresponding to the pixel electrodes at different polarities alternately in every vertical cycle or every plural of vertical cycles.

[0099] In the dot-matrix display device according to claim 5 in the dot-matrix display device of claim 4, the time difference between the plurality of vertical synchronizing signals out of phase with each other generated in the vertical synchronizing signal generating circuit is an integral

multiple of a horizontal cycle.

[0100] In the dot-matrix display device according to claim 6 in the dot-matrix display device of claim 4, the time difference between the plurality of vertical synchronizing signals out of phase with each other generated in the vertical synchronizing signal generating circuit is an odd-numbered multiple of a horizontal cycle.

[0101] In the dot-matrix display device according to claim 7 in the dot-matrix display device of any one of claims 4 to 6, the phase difference between the plurality of vertical synchronizing signals out of phase with each other generated in the vertical synchronizing signal generating circuit is set so that vertical retrace periods of the vertical synchronizing signals of the adjacent display areas are overlapped with each other.

[0102] In the dot-matrix display device according to claim 8 in the dot-matrix display device of any one of claims 4 to 7, the second signal lines positioned in the boundary portion between the adjacent display areas are not scanned simultaneously.

[0103] In the dot-matrix display device according to claim 9 in the dot-matrix display device of any one of claims 4 to 8, a period during which the pixels connected to the second signal lines positioned in the boundary portion between the adjacent display areas are written to the same polarity is

shorter than a period during which the second signal lines positioned in the boundary portion between the adjacent display areas are written to the opposite polarities.

[0104] In the dot-matrix display device according to claim 10 in the dot-matrix display device of any one of claims 1 to 9, the selection device is an active device disposed between each pixel formed of the pixel electrode and the corresponding first signal line.

[0105] In the dot-matrix display device according to claim 11 in the dot-matrix display device of claim 10, the active device is an amorphous silicon thin film transistor.

[0106] In the dot-matrix display device according to claim 12 in the dot-matrix display device of any one of claims 1 to 11, one terminal of each pixel formed of the pixel electrode is connected to a common electrode formed of one conductive plate.

[0107] In the dot-matrix display device according to claim 13 in the dot-matrix display device of claim 12, a rectangular wave voltage synchronizing with a vertical synchronizing signal and/or a horizontal synchronizing signal is applied to the common electrode.

[0108] In the dot-matrix display device according to claim 14 in the dot-matrix display device of claim 13, the plurality of signal supply circuits for supplying a signal voltage to the first signal lines are circuits having a dynamic range of

at most 1/2 of a voltage deflection range required for writing the pixels formed of the pixel electrodes to the positive and negative polarities.

[0109] In the dot-matrix display device according to claim 15 in the dot-matrix display device of any one of claims 1 to 14, the pixels formed of the pixel electrodes are liquid crystal cells.

[0110] (Operation) According to the configuration of claim 1, the scanning orders for the selection devices are controlled so that the adjacent display cells across the boundary portion of the divided first signal lines are charged at the same timing. Thus, the influence of the adjacent first signal lines before the charged liquid crystal cells are recharged in the subsequent field is the same in the boundary portion between the upper and lower display screens. As a result, the difference in the luminance in the boundary portion of the first signal lines can be eliminated.

[0111] According to the configuration of claim 2, across the boundary portion between the upper and lower display screens, the upper screen is scanned from the bottom to the top and the lower screen is scanned from the top to the bottom simultaneously with each other. Accordingly, the display cells on the adjacent scanning lines in the boundary portion are charged almost equally and sufficiently. Thus, the difference in the luminance in the boundary portion at the

center of the screen can be eliminated, and also, the difference in the luminance of the boundary portion with the other portions due to the undercharging is not generated.

[0112] According to the configuration of claim 3, across the boundary portion between the upper and lower display screens, the upper screen is scanned from the top to the bottom and the lower screen is scanned from the bottom to the top simultaneously with each other. Accordingly, the display cells on the adjacent scanning lines in the boundary portion are charged almost equally. Thus, the difference in the luminance in the boundary portion can be eliminated. Since the charging time for the display cells on the adjacent scanning lines in the boundary portion is shorter, there is a slight difference in the luminance of the boundary portion with the other portions. However, the display cells at the top and bottom edges of the screen, i.e., at the top edge of the upper screen and the bottom edge of the lower screen, are sufficiently charged, and thus, the difference in the luminance of the top and bottom edges of the screen with the other portions is eliminated.

[0113] According to the configurations of claim 4 to 15, the phases of the video signals supplied to the divided upper and lower display screens are set so that the vertical synchronizing signals are out of phase with each other by an integral multiple of one horizontal synchronizing cycle.

Accordingly, scanning lines in the boundary portion between the adjacent screens are not simultaneously scanned, but are scanned out of phase with each other. The common electrode can be formed of one electrode applying a pulse synchronizing with the horizontal or vertical synchronizing signal of a video signal. With this arrangement, the difference in the luminance of the scanning lines at the edges in the boundary portion between the adjacent upper and lower screens can be eliminated. Thus, the display quality of the divided upper and lower display screens can be maintained, and also, the dynamic range of the signal supply circuits for driving the first signal lines can be reduced to 1/2 of the voltage required for the display pixels.

[0114] The frame reverse is performed while the vertical retrace periods of the video signals of the upper and lower screens are being overlapped with each other. This prevents the occurrence of a bright line or a dark line of scanning lines caused by the frame reverse.

[0115] The phase difference between the vertical synchronizing signals supplied to the upper and lower screens is set to be an odd-numbered multiple of one horizontal synchronizing cycle. With this arrangement, the pixels connected to the scanning lines in the boundary portion at the edges between the adjacent screens are not charged to the same polarity. Thus, the quality of the display pixels formed of



capacitive loads, in particular, liquid crystal cells, can be maintained.

[0116] The phase difference of the vertical synchronizing signals is set so that the period during which the pixels connected to the scanning lines in the boundary portion at the edges between the adjacent upper and lower screens are written to the opposite polarities is longer than that during which the pixels connected to the scanning lines in the boundary portion at the edges between the adjacent upper and lower screens are written to the same polarity. Thus, the quality of the display pixels formed of liquid crystal cells can be maintained.

[0117] The selection devices for selecting the pixel electrodes disposed at the intersections of the corresponding first and second signal lines are active devices including TFTs formed of amorphous silicon or polysilicon. It is thus possible to provide a high-speed, high-contrast dot-matrix display device.

[0118]

[Mode for Carrying Out the Invention]

(First Mode) A first mode is based on Claims 1, 2, 10, 11, 12, 13, 14, and 15, in which a display screen is divided into upper and lower screens, and the upper screen and the lower screen are scanned simultaneously, and more specifically, the upper screen is scanned from the top to the bottom and the lower

screen is scanned from the bottom to the top, thereby eliminating the difference in the luminance around a boundary portion. The display screen is divided into two upper and lower screens by dividing first signal lines for receiving display signals.

[0119] Fig. 1 is a schematic diagram illustrating the first mode. A plurality of first signal lines extended in the vertical direction and disposed in parallel with each other are divided, as shown in Fig. 1, into S1 through Sm and S1' through Sm' in the vertical direction. Switching elements M11 through Mnm, each being formed of an N-channel FET at one terminal connected, are disposed at the intersections between the corresponding first signal lines S1 through Sm and S1' through Sm' and the second signal lines G1 through Gn. Scanning signals VG1 through VGn/2 and VGn through VG(n/2)+1 are supplied from gate drivers (3) and (3') to the switching devices M11 through Mnm in the scanning directions D1 and D2'. The other terminals of the switching devices M11 through Mnm are connected to counter electrode COM terminals (7) via the liquid crystal cells C11 through Cnm, respectively.

[0120] Display signals assigned to the upper half screen and the lower half screen are supplied from a control/power-supply circuit (4) to the source drivers (2) and (2'). The display signals corresponding to the selected second signal lines are output, as indicated by the timing chart of Fig. 2, from the

source driver (2) as HS1 through HSm and from the source driver (2') as HS1' through HSm'.

[0121] The orders of the scanning operation of the selection devices by the gate drivers (3) and (3') are as follows. The gate driver (3) scans the selection devices in the order of  $VG1 \rightarrow VGn/2$ , and the gate driver (3') scans the selection devices in the order of  $VGn \rightarrow VG(n/2)+1$ . Accordingly, the liquid crystal cells  $C(n/2) \cdot 1$  through  $C(n/2) \cdot m$  and  $C\{(n/2)+1\} \cdot 1$  through  $C\{(n/2)+1\} \cdot m$  around the boundary portion are charged at the same timing. Accordingly, the influence of the first signal lines on the liquid crystal cells becomes equal between the liquid crystal cells  $C(n/2) \cdot 1$  through  $C(n/2) \cdot m$  and  $C\{(n/2)+1\} \cdot 1$  through  $C\{(n/2)+1\} \cdot m$ . Thus, the difference in the luminance of the first signal lines around the boundary portion can be eliminated.

[0122] According to this mode, as described above, since the liquid crystal cells  $C(n/2) \cdot 1$  through  $C(n/2) \cdot m$  and  $C\{(n/2)+1\} \cdot 1$  through  $C\{(n/2)+1\} \cdot m$  are charged at the same timing, the difference in the luminance around the boundary portion can be eliminated. However, those liquid crystal cells are immediately discharged after being charged at the end of the vertical cycle, and they are not recharged until the end of the subsequent vertical cycle. Accordingly, the luminance of those liquid crystal cells is somewhat reduced compared to the liquid crystal cells on the other horizontal

lines. As a result of this, a horizontal stripe having a lower resolution and grayer color may appear around the boundary portion than in the other horizontal lines when a solid black color is displayed.

[0123] Although in the mode shown in Fig. 1 the display screen is divided into two upper and lower screens, it may be divided into more than two screens. As the dot-matrix display device, a liquid crystal display device is discussed by way of example. However, another type of display device having capacitive pixels as display cells can also be used. An explanation of the configuration of known elements of the liquid crystal device is omitted, and the same applies to the description of the subsequent modes.

[0124] (Second mode) A second mode is based on Claims 1, 3, 10, 11, 12, 13, 14, and 15, in which the display screen is divided into upper and lower screens, and more specifically, the upper screen is scanned from the bottom to the top, and the lower screen is scanned from the top to the bottom, thereby eliminating the difference in the luminance around the boundary portion. The configuration of the second mode is the same as that of the first mode shown in Fig. 1, except for the configuration of the gate drivers (3) and (3').

[0125] A plurality of first signal lines extended in the vertical direction and disposed in parallel with each other are divided, as shown in Fig. 1, into S1 through Sm and S1'

through  $S_m'$  in the vertical direction. Switching elements  $M_{11}$  through  $M_{nm}$ , each being formed of an N-channel FET at one terminal connected, are disposed at the intersections between the corresponding first signal lines  $S_1$  through  $S_m$  and  $S_1'$  through  $S_m'$  and the second signal lines  $G_1$  through  $G_n$ . Scanning signals  $V_{G1}$  through  $V_{Gn/2}$  and  $V_{Gn}$  through  $V_{G(n/2)+1}$  are supplied from gate drivers (3) and (3') to the switching devices  $M_{11}$  through  $M_{nm}$ .

[0126] The scanning directions of those scanning signals are  $D_2$  and  $D_1'$ , which are opposite to  $D_1$  and  $D_2'$  of the above-described first mode. The gate driver (3) scans the second signals lines in the direction of  $G_{n/2} \rightarrow G_1$ , while the gate driver (3') scans the second signal lines in the direction of  $G_{(n/2)+1} \rightarrow G_n$ . The other terminals of the switching devices  $M_{11}$  through  $M_{nm}$  are connected to counter electrode COM terminals (7) via the liquid crystal cells  $C_{11}$  through  $C_{nm}$ , respectively.

[0127] Display signals assigned to the upper half screen and the lower half screen are supplied from the control/power-supply circuit (4) to the source drivers (2) and (2'). The display signals corresponding to the selected second signal lines are output from the source driver (2) as  $HS_1$  through  $HS_m$  and from the source driver (2') as  $HS_1'$  through  $HS_m'$ . The orders of the scanning operation of the selection devices by the gate drivers (3) and (3') are as follows, as shown in Fig.

3. The gate lines of the gate drivers (3) scanning the screen driven by the source driver (2) are scanned in the order of  $G_3 \rightarrow G_2 \rightarrow G_1 \rightarrow G_0$ , and the gate lines of the gate driver (3') scanning the screen driven by the source driver (2') are scanned in the order of  $G_0' \rightarrow G_1' \rightarrow G_2' \rightarrow G_3'$ .

[0128] By performing the scanning as described above, the liquid crystal cells  $C(n/2) \cdot 1$  through  $C(n/2) \cdot m$  and  $C\{(n/2)+1\} \cdot 1$  through  $C\{(n/2)+1\} \cdot m$  around the boundary portion are charged at the same timing. Accordingly, the influence of the first signal lines on the liquid crystal cells becomes equal between the liquid crystal cells  $C(n/2) \cdot 1$  through  $C(n/2) \cdot m$  and  $C\{(n/2)+1\} \cdot 1$  through  $C\{(n/2)+1\} \cdot m$ . Thus, the difference in the luminance of the first signal lines around the boundary portion can be eliminated.

[0129] In the second mode, the liquid crystal cells  $C(n/2) \cdot 1$  through  $C(n/2) \cdot m$  and  $C\{(n/2)+1\} \cdot 1$  through  $C\{(n/2)+1\} \cdot m$  around the boundary portion are charged for a sufficient period at the same timing. Accordingly, the gradation of the contrast due to a shorter charging time for the liquid crystal cells around the boundary portion than the other liquid crystal cells, as discussed in the first mode, does not occur. In this case, however, the gradation of the contrast shown in Fig. 4 may occur at the upper edge of the upper half screen and at the lower edge of the lower half screen. The gradation of the contrast does not appear in the joint portion of the screen, and thus,

a reduction in the contrast at the center of the screen, which is frequency used, can be prevented. This enhances the operability of the LCD.

[0130] (Third Mode) A third mode is based on Claims 4 to 15, in which the display screen is divided into upper and lower portions and scanning signals out of phase with each other are supplied to the divided portions, thereby eliminating the difference in the luminance in the boundary portion.

[0131] In this mode, the display screen is divided into two upper and lower screens by dividing the first signal lines for receiving display signals.

[0132] The configuration of the third mode is shown in Fig. 5. In Fig. 5, elements corresponding to those of the first and second modes shown in Fig. 1 are indicated by like reference numerals, and an explanation thereof is thus omitted. Fig. 5 is different from Fig. 1 in that two video signals having vertical synchronizing signals out of phase with each other are generated in a control circuit (21) by using a memory (22) based on a video signal from a video signal source (20), and the two video signals are each divided into a video signal and a synchronizing signal in control/power-supply circuits (40) and (40'). The video signals are supplied to the source drivers (2) and (2') and the synchronizing signals are supplied to the gate drivers (3) and (3').

[0133] In this case, the directions of the scanning operation

of the upper and lower screens by the gate drivers (3) and (3') of this mode may be any of the directions discussed in the first or second mode. That is, the gate drivers (3) and (3') scan the second signal lines in the directions of  $G1 \rightarrow Gn/2$  and  $Gn \rightarrow G(n/2)+1$  or  $Gn/2 \rightarrow G1$  and  $G(n/2)+1 \rightarrow Gn$ . To perform the scanning operation on the upper and lower screens, scanning signals  $VG1$  through  $VGn/2$  and  $VG(n/2)+1$  through  $VGn$  produced by generating a phase difference between the vertical synchronizing signals of the video signals of the upper and lower screens are used.

[0134] The third mode is discussed below with reference to Fig. 6. Fig. 6 illustrates the timing of each synchronizing signal and the output voltages of the source drivers in the common DC driving method. As discussed above, out-of-phase vertical synchronizing signals ( $Vsync$  and  $Vsync'$ ) are input into the control/power-supply circuit (40) and (40') shown in Fig. 5. That is, the vertical synchronizing signal and the video signal input into the control circuit (40') are delayed from those input into the control circuit (40) by two horizontal cycles. Accordingly, the gate lines  $G3$  and  $G0'$  are not scanned at the same time. In this mode, since the common DC driving method is used, the common electrodes of the upper half and the lower half of the liquid crystal panel can be safely short-circuited.

[0135] A bright line or a dark line at the center of the screen



may not be eliminated by a time difference only by one or two horizontal cycles. A description is now given of the amount of time difference that can be generated between two vertical synchronizing signals. In the common DC driving LCD of this mode, the generation of the time difference is very flexible since the potential of the common electrodes is constant. The phase difference between  $V_{sync}$  and  $V_{sync}'$  is not particularly restricted, and it may be any multiple number of the horizontal cycle, and it does not have to be an integral multiple of the horizontal cycle.

[0136] In the extreme case, the phase difference between  $V_{sync}$  and  $V_{sync}'$  may be  $180^\circ$ . For example, in an U-XGA dividing scanning LCD, which is formed of 1600-column  $\times$  600-row  $\times$  upper and lower screens, the phase difference between  $V_{sync}$  and  $V_{sync}'$  may be an amount equal to 300 times of the horizontal cycle. If the phase difference between  $V_{sync}$  and  $V_{sync}'$  is  $\pm 180^\circ$ , the negative effect caused by the fact that the gate line scanned by the gate driver (3) and the gate line scanned by the gate driver (3') shown in Fig. 5 at the same time are located in close proximity with each other can be alleviated to the maximum.

[0137] However, the display quality may be reduced due to another reason. The time from when the liquid crystal cells on the gate line G3 are charged to when the liquid crystal cells on the gate line G0' are charged becomes almost equal to the

time from when the liquid crystal cells on the gate line G0' are charged to when the liquid crystal cells on the gate line G3 are charged. That is, the time when the liquid crystal cells on the gate lines G3 and G0' are charged to the same polarity becomes equal to the time when the liquid crystal cells on the gate lines G3 and G0' are charged to the opposite polarities. Accordingly, the liquid crystal cells on the gate lines G3 and G0' are charged to the same polarity during half the period of one vertical cycle. If the liquid crystal cells on the adjacent gate lines remain charged to the same polarity for a long period, the display quality becomes poor.

[0138] If the phase difference between Vsync and Vsync' is  $0^\circ$ , as in the case of the first or second mode, the influence on the display quality becomes totally opposite. That is, the negative effect caused by the fact that gate lines located in close proximity with each other are simultaneously scanned becomes greater, while the negative effect caused by the fact that gate lines located in close proximity with each other are charged to the same polarity for a long period becomes smaller.

[0139] Accordingly, to carry out the present invention, the phase difference between Vsync and Vsync' may be suitably selected in a range from  $-180^\circ$  to  $180^\circ$  other than  $0^\circ$ . A suitable value of the phase difference depends on the designing of the liquid crystal panel to be driven.

[0140] In the third mode, the gate lines G1 and G0' are

simultaneously scanned, as shown in Fig. 6. The distance between the two gate lines is equal to three lines. The gate lines G0 and G1' are also simultaneously scanned, and the distance therebetween is equal to five lines. Accordingly, the margin when the gate lines G0 and G1' are scanned is greater than that when the gate lines G1 and G0' are scanned. The time when the drain electrodes D30 and D00' are charged to the same polarity is equal to two horizontal cycles during one vertical cycle. Conversely, the time when those drain electrodes are charged to the opposite polarities is equal to four horizontal cycles during one vertical cycle.

[0141] (Fourth Mode) A fourth mode is based on Claims 4 to 15, in which, as in the third mode, the display screen is divided into upper and lower portions and scanning signals out of phase with each other are supplied to the divided portions, thereby eliminating the difference in the luminance in the boundary portion. However, in contrast to the third mode in which the common DC driving is used, in the fourth mode, the common reverse driving is used.

[0142] The configuration of the display panel of the fourth mode is described below with reference to Fig. 5, since it is substantially the same as the third mode.

[0143] Fig. 7 illustrates the timing of each synchronizing signal, the output voltages of the source driver, and waveforms of rectangular waves applied to the common electrodes in the

common reverse driving method used in the fourth mode.

[0144] The vertical synchronizing signal and the video signal input into the control/power-supply circuit (40') shown in Fig. 5 are delayed from those input into the control/power-supply circuit (40) by one horizontal cycle. Accordingly, the gate lines G3 and G0' are not scanned simultaneously. Since the rectangular wave supplied to the common electrode of the upper half of the liquid crystal panel is in phase with the rectangular wave supplied to the lower half, the upper and lower common electrodes can be safely short-circuited.

[0145] As in the third mode, in the fourth mode, in scanning the gate lines G3 and G0', a bright line or a dark line at the center of the screen may not be eliminated by the time difference only by one or two horizontal cycles. A description is now given of the amount of time difference that can be generated between two vertical synchronizing signals VG3 and VG0'.

[0146] In the common reverse driving LCD, if the common electrodes in the upper and lower screens are not short-circuited, the time difference can be generated as in the common DC driving. It is assumed, however, that the common electrodes are short-circuited.

[0147] The time difference between Vsync and Vsync' should be an integral multiple of one horizontal cycle. The reason for this is that, when the polarity of the output voltage of

the source driver is reversed, the potential of the common electrode should also be reversed.

[0148] Additionally, as shown in Fig. 7, part of the vertical retrace period of Vsync and part of the vertical retrace period of Vsync' should be overlapped with each other. Also, the field reverse should be performed when Vsync and Vsync' enter the vertical retrace period. If the field reverse is performed during the vertical display period, a line which is being scanned may appear as a bright line or a dark line when the field reverse is performed. To perform the field reverse both in the upper and lower screens during the vertical retrace period, there should be a moment when both Vsync and Vsync' enter the vertical retrace period simultaneously.

[0149] To charge the liquid crystal cells on the adjacent gate lines G3 and G0' to the opposite polarities, the time difference between Vsync and Vsync' should be an odd-numbered multiple of one horizontal cycle. If the time difference is an even-numbered multiple of one horizontal cycle, the liquid crystal cells on the adjacent gate lines G3 and G0' are charged to the same polarity. In the common DC driving LCD in the third mode, the above-described conditions do not have to be considered since it is not necessary to reverse the potential of the common electrodes. If the common electrodes of the upper and lower screens are not short-circuited, different voltages can be applied to the common electrodes, and thus, the

above-described conditions do not have to be considered.

[0150] In the fourth mode shown in Fig. 7, since vertical retrace periods are equal to only two horizontal cycles, the design flexibility is very low if the above-described conditions are to be satisfied. Generally, however, since there are vertical retrace periods equal to about several dozens of horizontal cycles, the flexibility to select the phase difference is considerably high. Under the above-described conditions, in most cases, a phase difference that can satisfy the required image quality can be found.

[0151] Although in this mode there are two control/power-supply circuits (40) and (40') shown in Fig. 5, they may be integrated into one IC package or may be formed on the same IC chip. Since it is easy to generate one of the synchronizing signals Vsync and Vsync' from the other signal by a counter, it is sufficient that one signal is transmitted from the video signal source to the LCD. It is preferable that some of the upper and lower drive circuits, for example,  $\gamma$ -correcting reference voltage sources, be shared.

[0152]

[Advantage of the Invention] As is seen from the foregoing description, according to the present invention, in a dot-matrix display device in which a display screen formed of capacitive load pixels are divided into upper and lower screens so that the upper and lower screens are simultaneously driven

by line-sequential scanning, the scanning orders of the upper and lower screens are controlled, thereby eliminating the difference in the luminance in the boundary portion between adjacent scanning lines of the upper and lower screens. As a result, the high-definition, high-quality display operation can be implemented.

[0153] In each frame of a video signal, the upper screen is scanned from the top to the bottom (or from the bottom to the top), and the lower screen is scanned from the bottom to the top (or from the top to the bottom). Accordingly, the pixels in the adjacent scanning lines in the boundary portion between the divided upper and lower screens are driven under the same charging/discharging conditions. Thus, the difference in the luminance of the adjacent scanning lines can be eliminated, thereby making it possible to improve the display quality in the boundary portion between the divided upper and lower screens.

[0154] Additionally, the video signal for driving the upper screen is out of phase with that for driving the lower screen so that the scanning timing for the upper screen is differentiated from that of the lower screen. Accordingly, the occurrence of a bright line or a dark line caused by the difference in the degree of the influence of stray capacitances on the pixels between the adjacent scanning lines of the boundary portion between the divided upper and lower screens

and the other scanning lines can be suppressed. As a result, the display quality in the boundary portion between the divided upper and lower screens can be enhanced.

[0155] Further, by displacing the scanning timing for the upper screen from that for the lower screen by an odd-numbered multiple of the horizontal cycle signal of the video signal, the line reverse can be performed alternately in every line even if the drivers for driving the upper and lower screens output the same polarity signal. Thus, the display quality can be stably improved.

[Brief Description of the Drawings]

[Fig. 1] Fig. 1 is a schematic diagram illustrating the present invention.

[Fig. 2] Fig. 2 is a timing chart illustrating the operation of a first mode of the present invention.

[Fig. 3] Fig. 3 is a timing chart illustrating the operation of a second mode of the present invention.

[Fig. 4] Fig. 4 illustrates the operation of the second mode of the present invention.

[Fig. 5] Fig. 5 is a schematic diagram illustrating third and fourth modes of the present invention.

[Fig. 6] Fig. 6 is a timing chart illustrating the operation of the third mode of the present invention.

[Fig. 7] Fig. 7 is a timing chart illustrating the operation of the fourth mode of the present invention.



[Fig. 8] Fig. 8 is a schematic diagram illustrating a liquid crystal display device.

[Fig. 9] Fig. 9 is a schematic diagram illustrating a source driver used in a liquid crystal display device.

[Fig. 10] Fig. 10 is an equivalent circuit diagram of stray capacitances in the pixel portions of a liquid crystal display device.

[Fig. 11] Fig. 11 is a timing chart illustrating the operation of a known liquid crystal display device.

[Fig. 12] Fig. 12 illustrates the operation of a liquid crystal display device.

[Fig. 13] Fig. 13 illustrates the operation of a liquid crystal display device.

[Fig. 14] Fig. 14 illustrates the operation of a liquid crystal display device.

[Fig. 15] Fig. 15 illustrates the operation of a liquid crystal display device.

[Fig. 16] Fig. 16 is a diagram illustrating a display characteristic of a liquid crystal display device.

[Fig. 17] Fig. 17 is a timing chart illustrating the operation of known art.

[Fig. 18] Fig. 18 is a schematic diagram illustrating known art.

[Fig. 19] Fig. 19 is a timing chart illustrating the operation of known art.

[Fig. 20] Fig. 20 is a schematic diagram illustrating known art.

[Fig. 21] Fig. 21 illustrates the operation of known art.

[Fig. 22] Fig. 22 is a timing chart illustrating the operation of known art.

[Fig. 23] Fig. 23 illustrates the operation of known art.

[Description of Reference Numerals and Signs]

1 liquid crystal panel

2, 2' source drivers

3, 3' gate drivers

4 control/power-supply circuit

5 TFT

6 liquid crystal cell

7 common electrode

11 serial-parallel converter

12 latch/flip-flop

13 digital-analog converter

14 output buffer

20 video signal source

21 control circuit

22 memory

40, 40' control/power-supply circuits

S1 - Sm first signal lines

G0, G1 - Gn second signal lines/gate lines

G0' - G3' second signal lines/gate lines

M11 - Mnm switching devices

C11 - Cnm liquid crystal cells

FIG. 1

CONTROL/POWER-SUPPLY CIRCUIT 4

SOURCE DRIVER 2

SOURCE DRIVER 2'

GATE DRIVER 3

GATE DRIVER 3'

COUNTER ELECTRODE COM TERMINAL 4

FIG. 3

1 SYNCHRONIZING SIGNAL

2 VERTICAL SYNCHRONIZING SIGNAL

3 HORIZONTAL SYNCHRONIZING SIGNAL

4 SOURCE DRIVER 2

5 SOURCE DRIVER 2'

6 VERTICAL CYCLE

7 VERTICAL RETRACE PERIOD

8 VERTICAL DISPLAY PERIOD

9 HORIZONTAL CYCLE

10 G3 SCANNING G2 SCANNING G1 SCANNING G0 SCANNING

11 G0' SCANNING G1' SCANNING G2' SCANNING G3' SCANNING

FIG. 4

1 SCANNING DIRECTION

2 LUMINANCE

FIG. 6

- 1 DRIVING SIGNAL FOR UPPER HALF
- 2 CONTROL CIRCUIT 4
- 3 VERTICAL SYNCHRONIZING SIGNAL Vsync
- 4 HORIZONTAL SYNCHRONIZING SIGNAL
- 5 SOURCE DRIVER 2
- 6 DRAIN ELECTRODE D30
- 7 TIME DIFFERENCE
- 8 G3 SCANNING G2 SCANNING G1 SCANNING G0 SCANNING
- 9 DRIVING SIGNAL FOR LOWER HALF
- 10 CONTROL CIRCUIT 4'
- 11 VERTICAL SYNCHRONIZING SIGNAL Vsync'
- 12 HORIZONTAL SYNCHRONIZING SIGNAL
- 13 SOURCE DRIVER 2'
- 14 DRAIN ELECTRODE D00'
- 15 G0' SCANNING G1' SCANNING G2' SCANNING G3' SCANNING

FIG. 7

- 1 DRIVING SIGNAL FOR UPPER HALF
- 2 CONTROL CIRCUIT 4
- 3 VERTICAL SYNCHRONIZING SIGNAL Vsync
- 4 HORIZONTAL SYNCHRONIZING SIGNAL
- 5 SOURCE DRIVER 2
- 6 DRIVING SIGNAL FOR LOWER HALF
- 7 CONTROL CIRCUIT 4'

8 VERTICAL SYNCHRONIZING SIGNAL Vsync'  
9 HORIZONTAL SYNCHRONIZING SIGNAL  
10 SOURCE DRIVER 2'  
11 Vsync RETRACE PERIOD  
12 Vsync' RETRACE PERIOD  
13 OVERLAPPING OF RETRACE PERIODS  
14 G3 SCANNING G2 SCANNING G1 SCANNING G0 SCANNING  
15 SOURCE LINE  
16 COMMON ELECTRODE  
17 G0' SCANNING G1' SCANNING G2' SCANNING G3' SCANNING  
18 COMMON ELECTRODE  
19 SOURCE LINE

FIG. 9

1 VIDEO SIGNAL  
2 LATCH SIGNAL  
3 REFERENCE VOLTAGE  
4 POWER SUPPLY VOLTAGE

FIG. 11

1 SYNCHRONIZING SIGNAL  
2 VERTICAL SYNCHRONIZING SIGNAL  
3 HORIZONTAL SYNCHRONIZING SIGNAL  
4 SOURCE LINE S0  
5 DRAIN ELECTRODE D00

- 6 DRAIN ELECTRODE D30
- 7 VERTICAL CYCLE
- 8 VERTICAL RETRACE PERIOD
- 9 VERTICAL DISPLAY PERIOD
- 10 HORIZONTAL CYCLE
- 11 G0 SCANNING G1 SCANNING G2 SCANNING G3 SCANNING

FIG. 12

- 1 WHITE
- 2 BLACK

FIG. 13

- 1 WHITE
- 2 BLACK
- 3 GRAY

FIG. 14

- 1 POSITIVE
- 2 NEGATIVE
- 3 SUBSEQUENT FRAME
- 4 FRAME AFTER THE SUBSEQUENT FRAME

FIG. 15

- 1 WHITE
- 2 BLACK

FIG. 16

- 1 LUMINANCE
- 2 APPLIED VOLTAGE
- 3 SATURATED
- 4 WHITE
- 5 GRAY
- 6 BLACK

FIG. 17

- 1 HORIZONTAL SYNCHRONIZING SIGNAL
- 2 COMMON REVERSE DRIVING
- 3 COMMON DC DRIVING
- 4 HORIZONTAL CYCLE
- 5 BLACK SIGNAL POTENTIAL
- 6 WHITE SIGNAL POTENTIAL
- 7 COMMON POTENTIAL

FIG. 19

- 1 SYNCHRONIZING SIGNAL
- 2 VERTICAL SYNCHRONIZING SIGNAL
- 3 HORIZONTAL SYNCHRONIZING SIGNAL
- 4 SOURCE DRIVER 2
- 5 SOURCE DRIVER 2'
- 6 VERTICAL CYCLE



- 7 VERTICAL RETRACE PERIOD
- 8 VERTICAL DISPLAY PERIOD
- 9 HORIZONTAL CYCLE
- 10 G0 SCANNING G1 SCANNING G2 SCANNING G3 SCANNING
- 11 G0' SCANNING G1' SCANNING G2' SCANNING G3' SCANNING

FIG. 21

- 1 SCANNING DIRECTION
- 2 LUMINANCE

FIG. 22

- 1 SYNCHRONIZING SIGNAL
- 2 VERTICAL SYNCHRONIZING SIGNAL
- 3 HORIZONTAL SYNCHRONIZING SIGNAL
- 4 SOURCE DRIVER 2
- 5 SOURCE DRIVER 2'
- 6 VERTICAL CYCLE
- 7 VERTICAL RETRACE PERIOD
- 8 VERTICAL DISPLAY PERIOD
- 9 HORIZONTAL CYCLE
- 10 G3 SCANNING G2 SCANNING G1 SCANNING G0 SCANNING
- 11 G0' SCANNING G1' SCANNING G2' SCANNING G3' SCANNING
- 12 SOURCE LINE
- 13 COMMON ELECTRODE

FIG. 23

1 POSITIVE

2 NEGATIVE

3 SUBSEQUENT FRAME

4 FRAME AFTER THE SUBSEQUENT FRAME

DRAWINGS of JP11-102172

Fig. 1

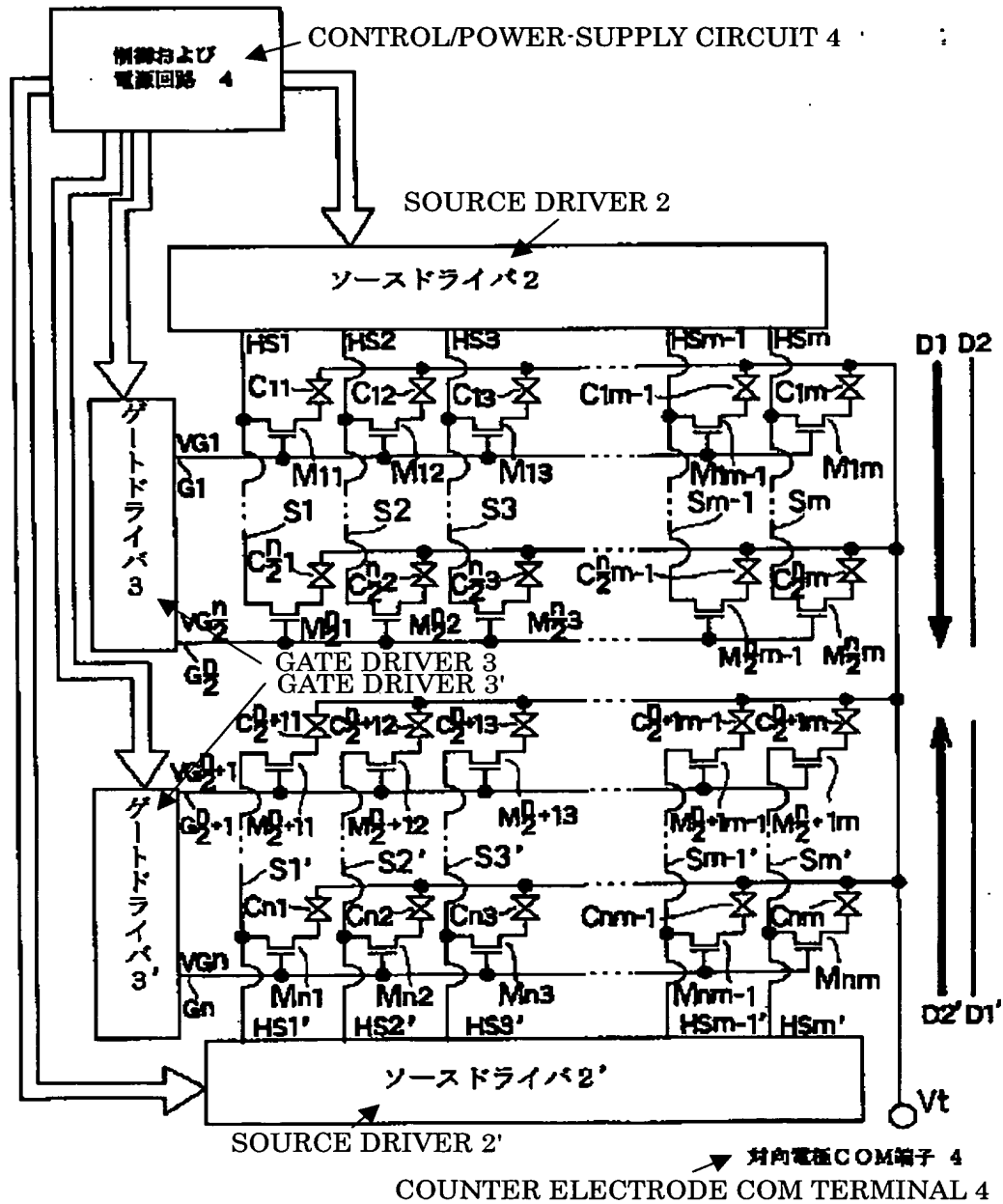


Fig. 2

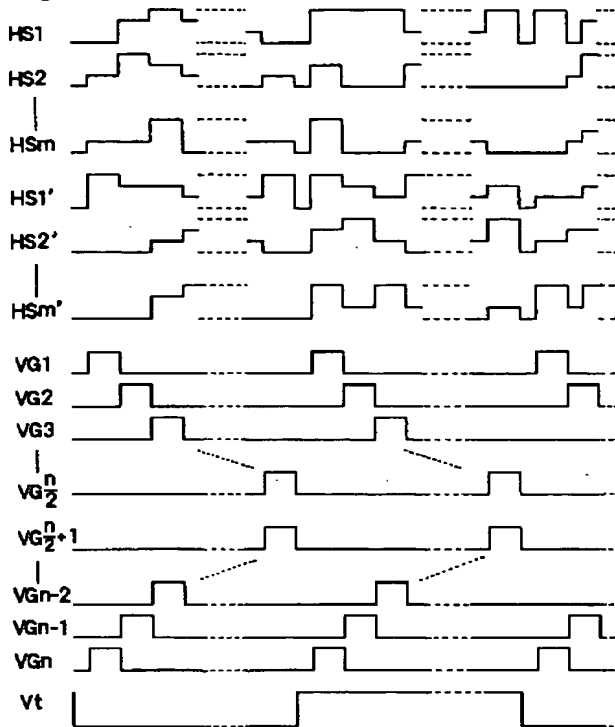


Fig. 3

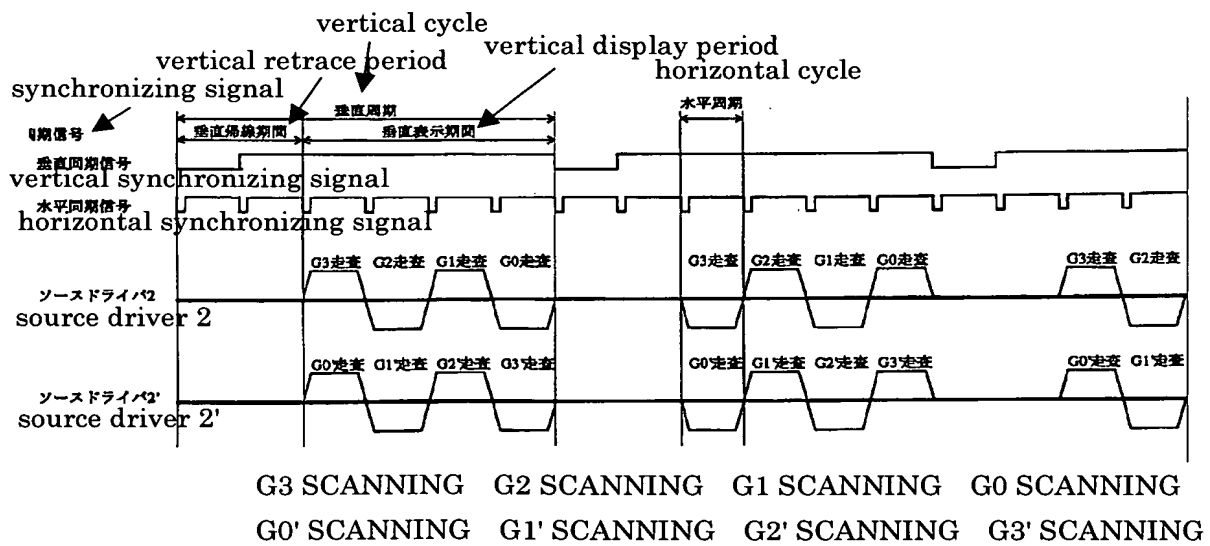


Fig. 4

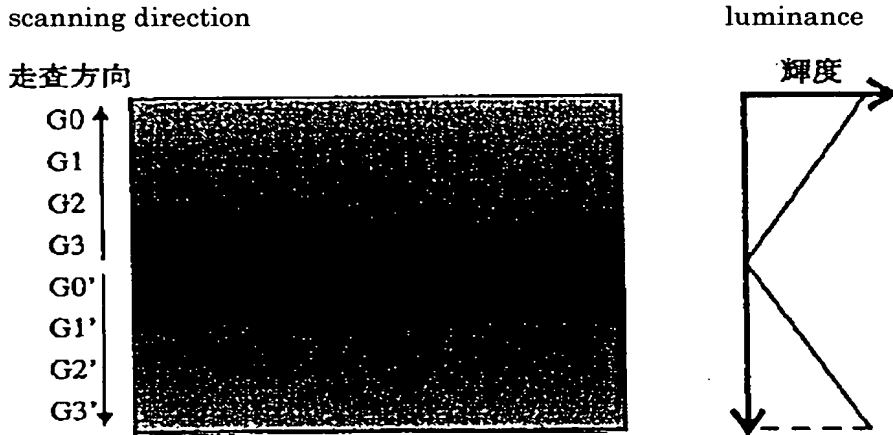


Fig. 5

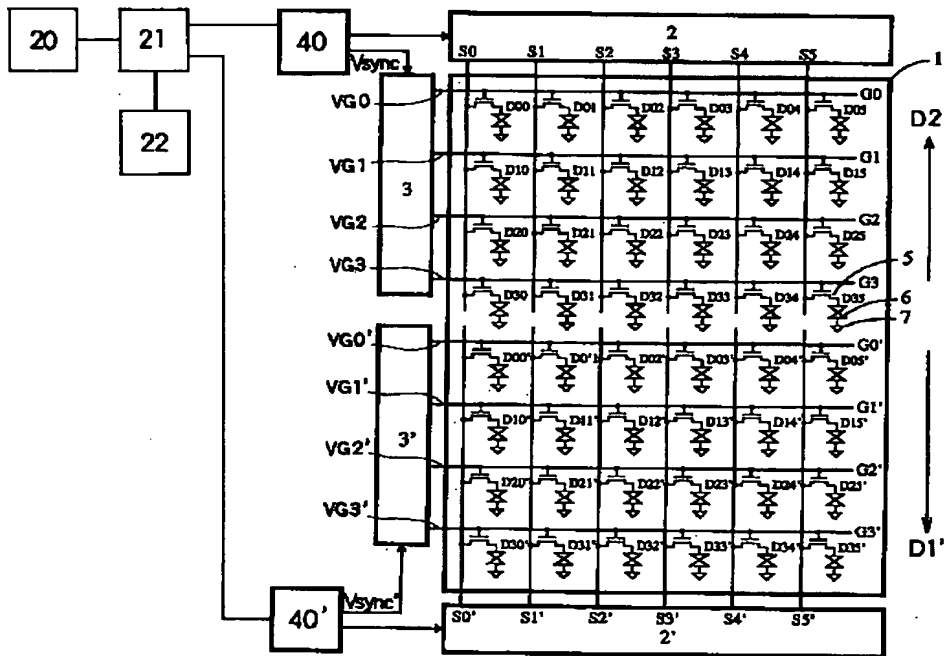
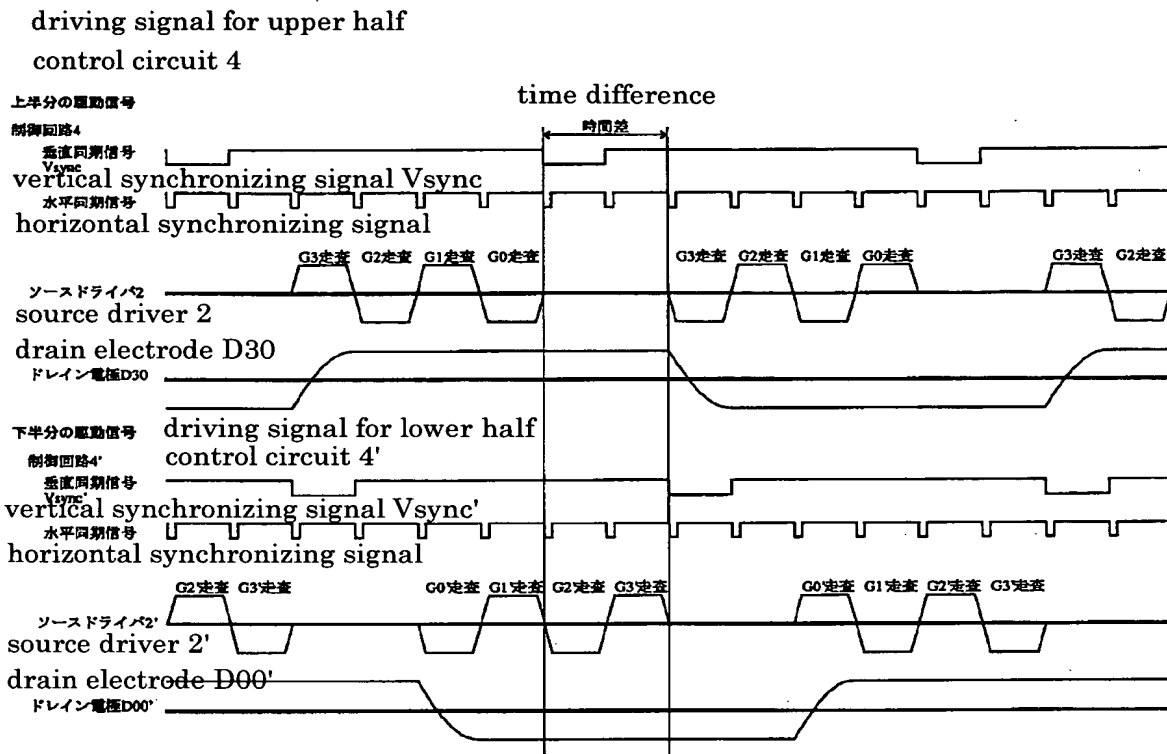


Fig. 6



G3 SCANNING G2 SCANNING G1 SCANNING G0 SCANNING  
G0' SCANNING G1' SCANNING G2' SCANNING G3' SCANNING

Fig. 7

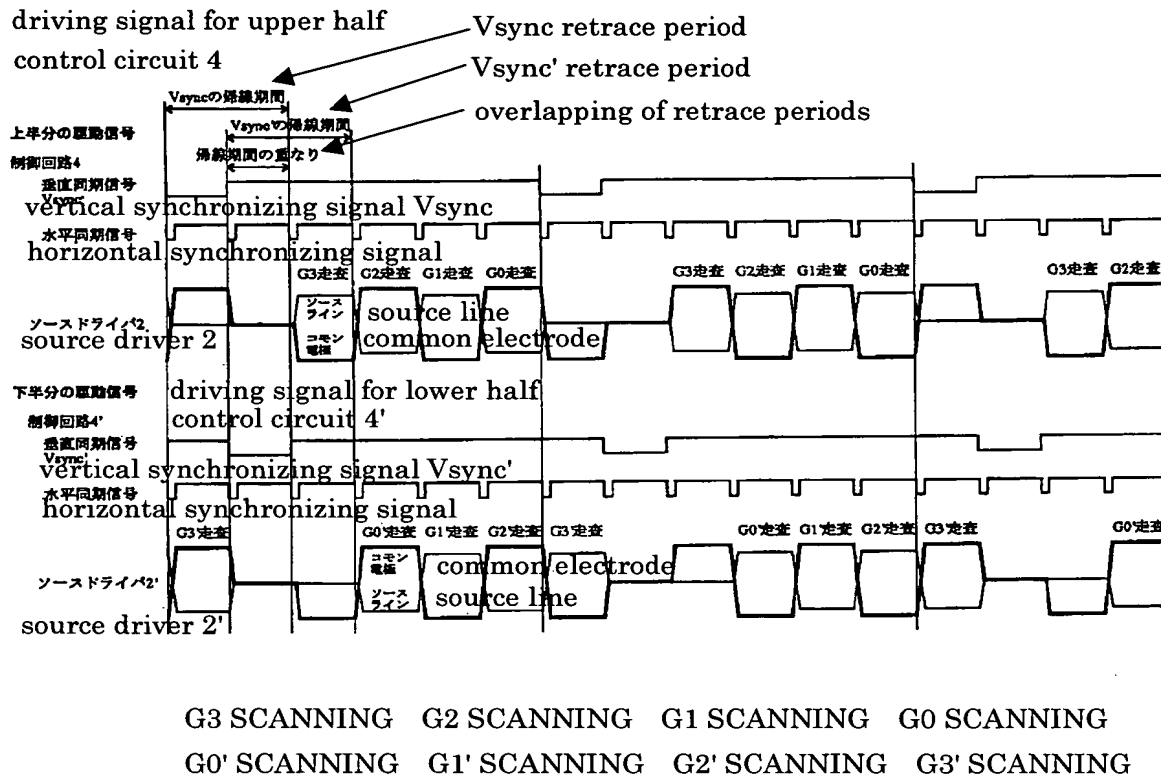


Fig. 8

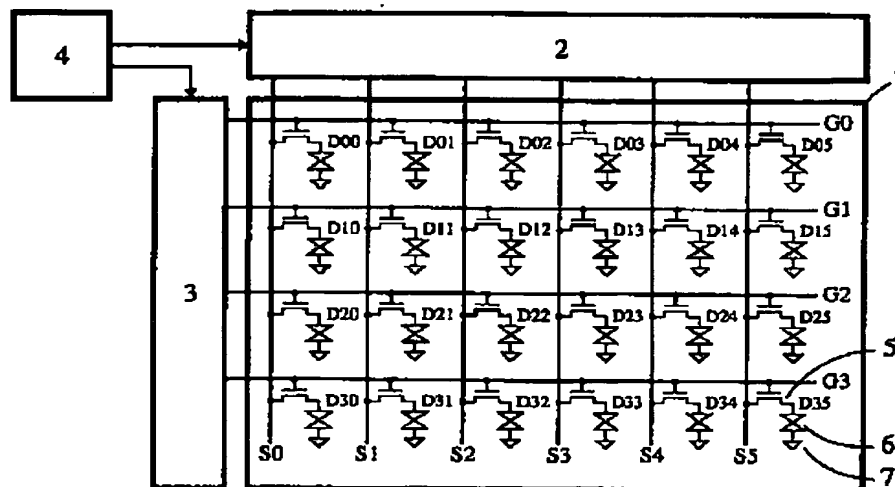


Fig. 9

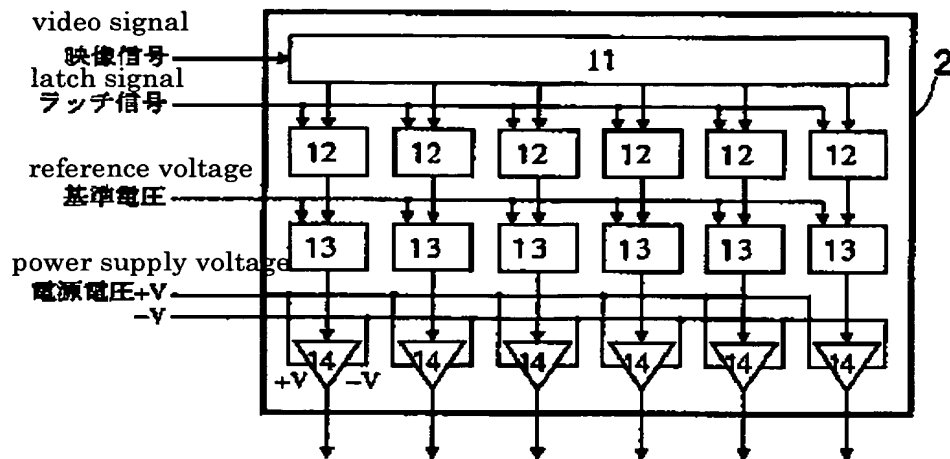


Fig. 10

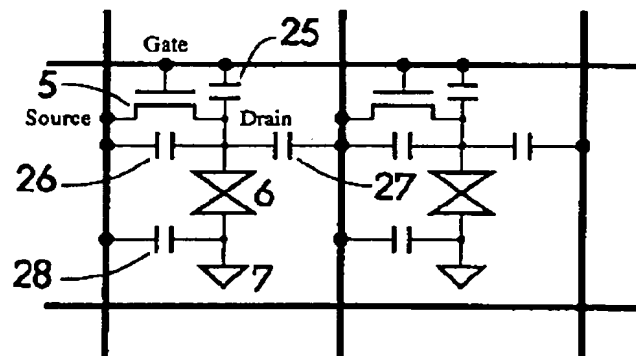




Fig. 11

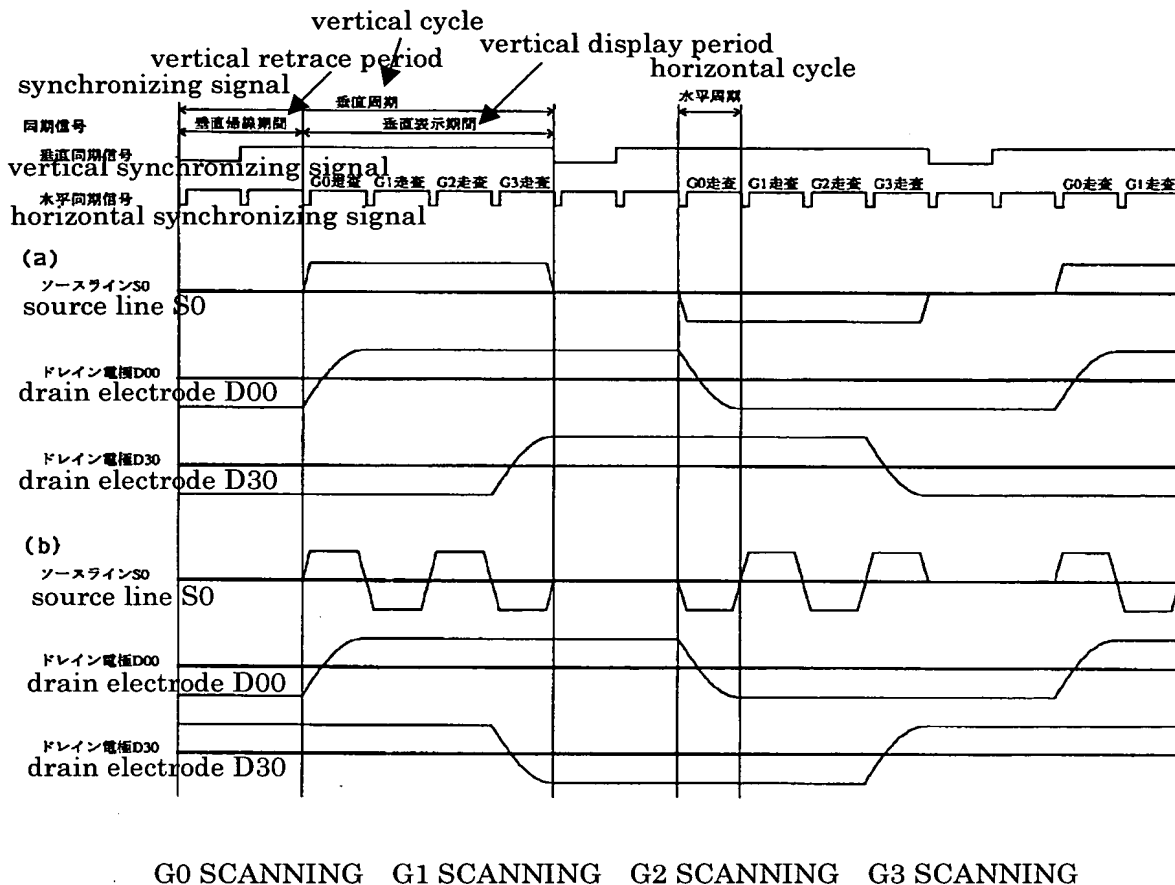


Fig. 12

	white		black		
D00 白	D01 白	D02 白	D03 白	D04 白	D05 白
D10 白	D11 白	D12 黒	D13 黒	D14 白	D15 白
D20 白	D21 白	D22 黒	D23 黒	D24 白	D25 白
D30 白	D31 白	D32 白	D33 白	D34 白	D35 白

Fig. 13

D00	D01	D02	D03	D04	D05
白	白	灰	灰	白	白
D10	D11	D12	D13	D14	D15
白	白	黒	黒	白	白
D20	D21	D22	D23	D24	D25
白	白	黒	黒	白	白
D30	D31	D32	D33	D34	D35
白	白	灰	灰	白	白

Fig. 14

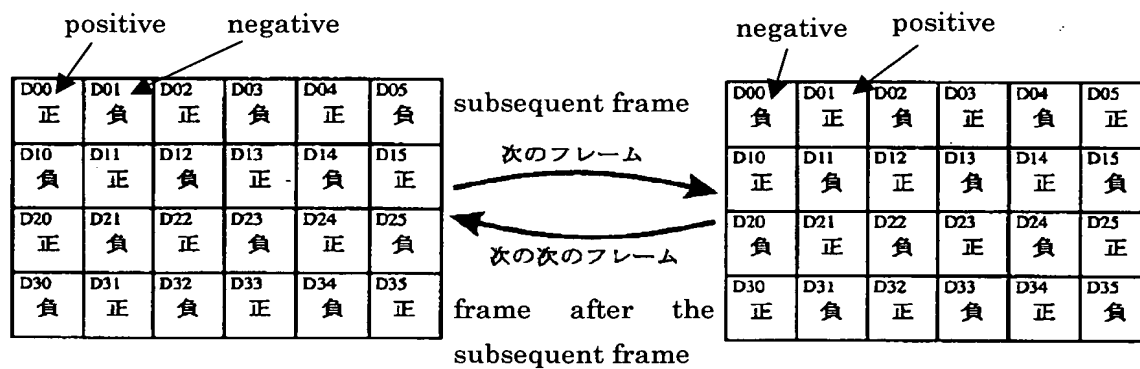


Fig. 15

白	黒	白	黒	白	黒	白	黒
黒	白	黒	白	黒	白	黒	白
白	黒	白	黒	白	黒	白	黒
黒	白	黒	白	黒	白	黒	白
白	黒	白	黒	白	黒	白	黒
黒	白	黒	白	黒	白	黒	白

Fig. 16

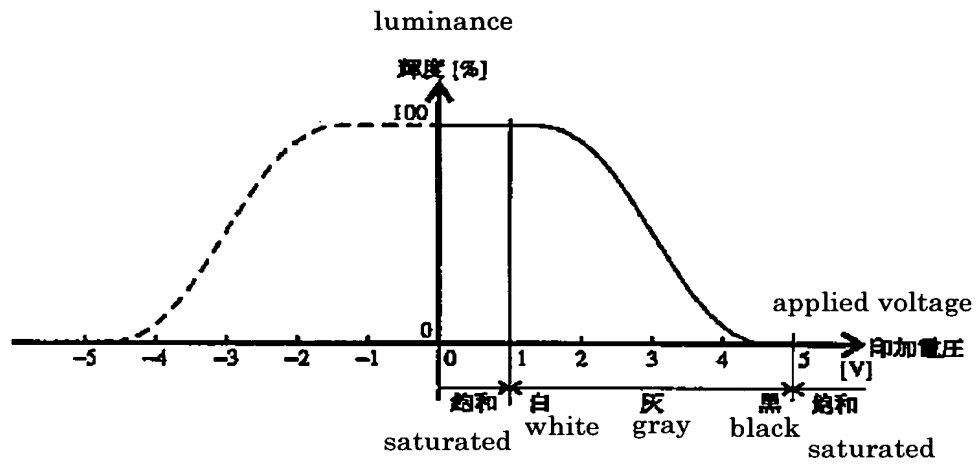


Fig. 17

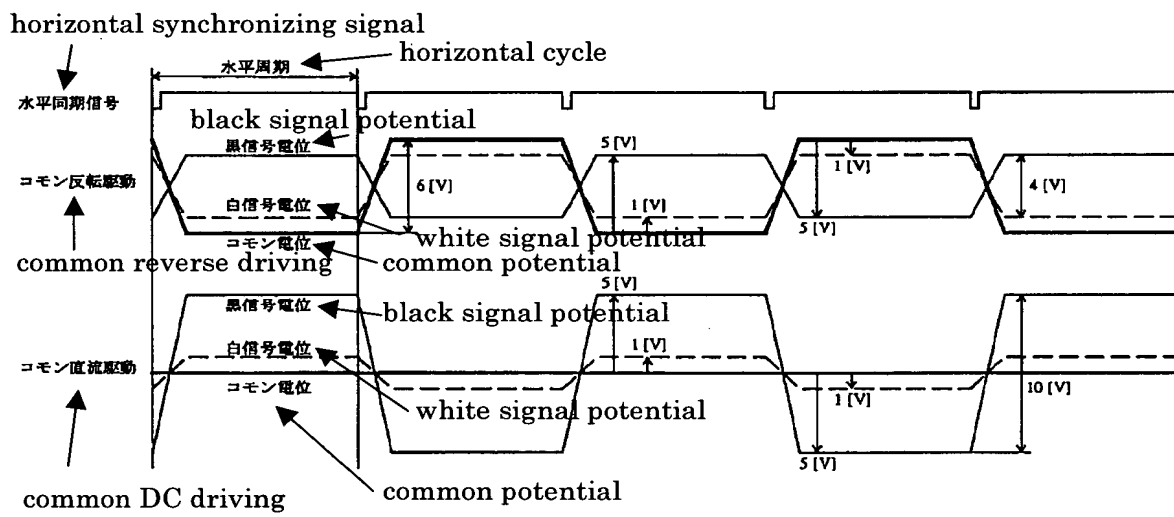


Fig. 18

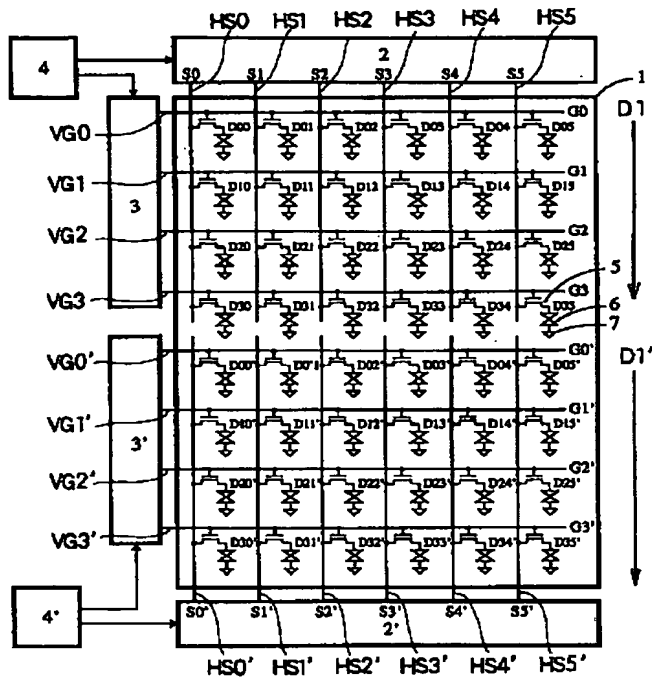


Fig. 19

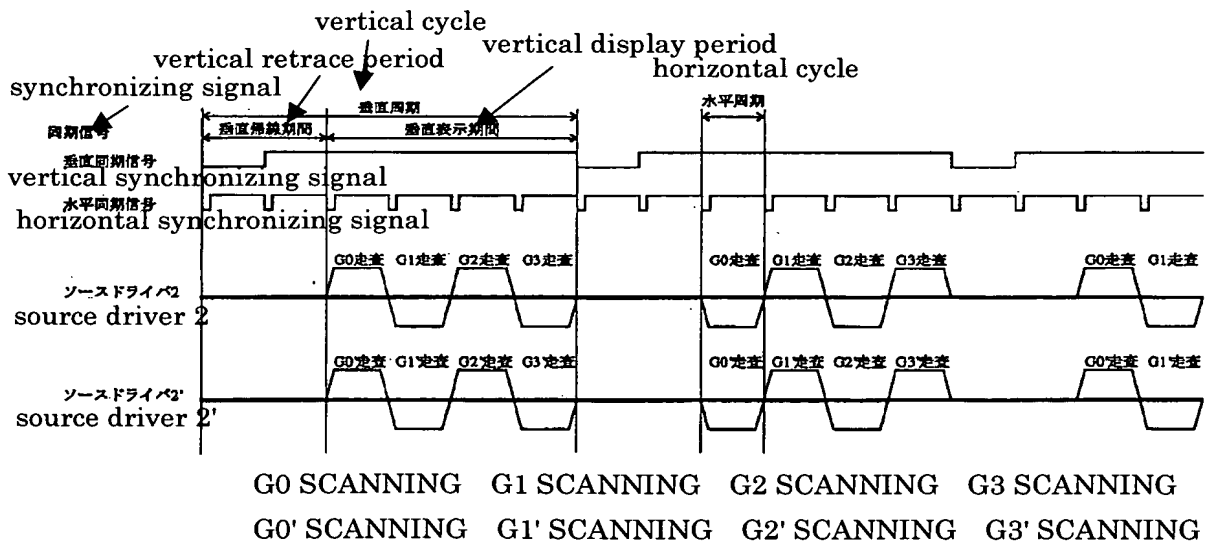


Fig. 20

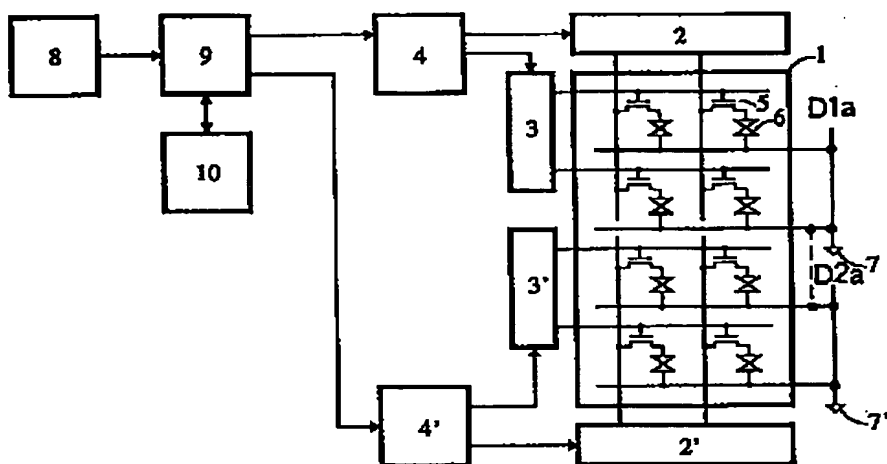
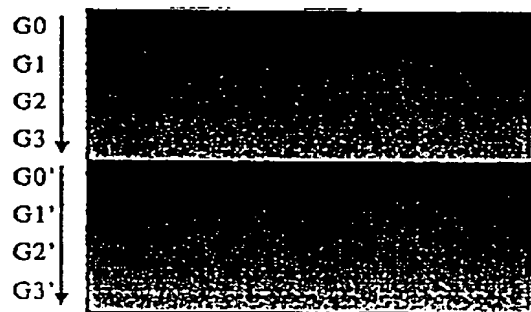


Fig. 21

scanning direction

走査方向



luminance

輝度

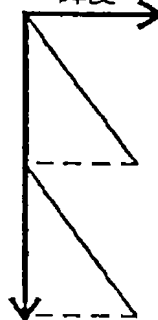


Fig. 22

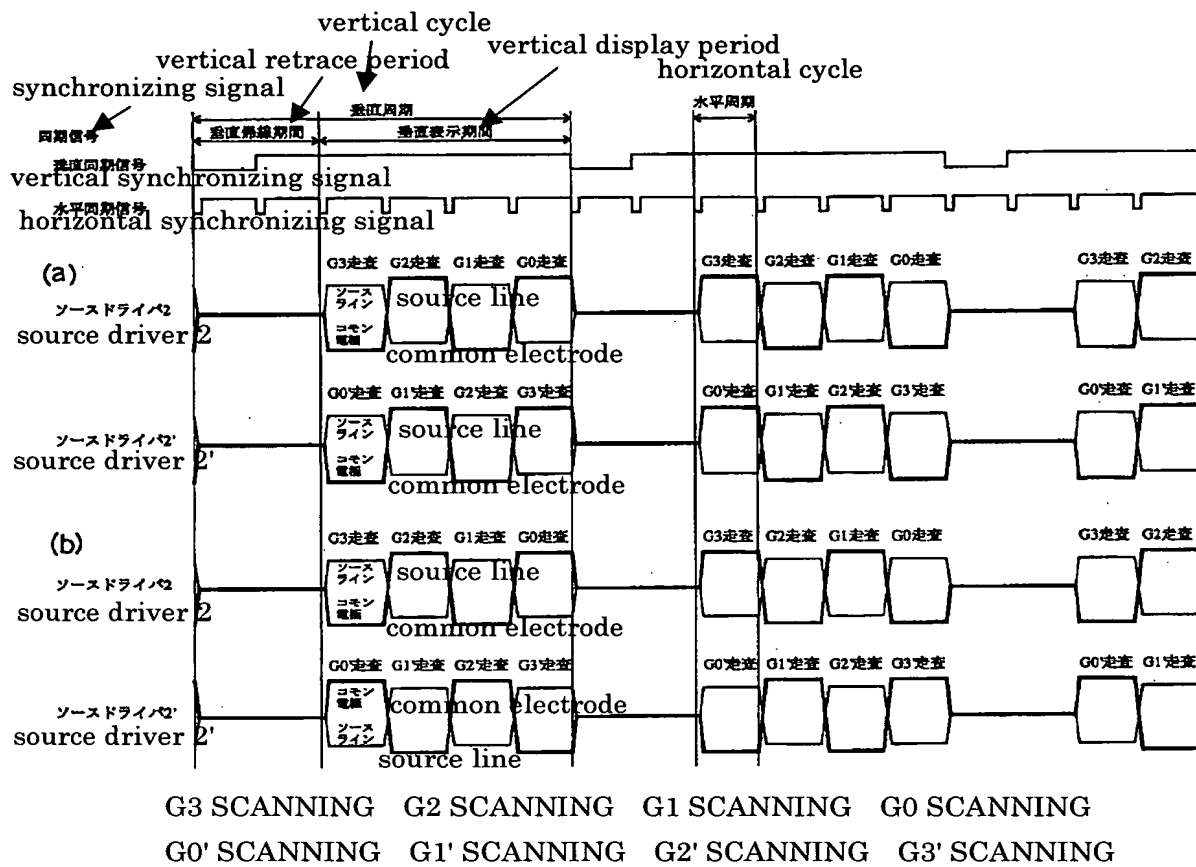


Fig. 23

